



JZ8P1503S

8 位 OTP 微控制器

用户数据手册

版本号 V2.1

2019 年 3 月



修改记录说明

版本号	修改说明	备注
V1.0	完成初稿	
V1.1	修改 PWM 寄存器地址	
V1.2	修改端口特性	
V1.3	新增 6 脚脚位	
V2.0	修改 P63 软件上拉说明	
V2.1	修改逻辑运算描述部分	



目录

1 芯片简介	7
1.1 功能特性	7
1.2 引脚分配	8
1.3 引脚说明	9
1.4 系统框图	10
2 存储器结构	10
2.1 程序存储器区	10
2.2 数据存储器区	11
2.2.1 RPAGE\IOPAGE\Bank 数据寄存器区	11
3 功能模块	12
3.1 操作寄存器	12
3.1.1 RPAGE~R0(间接地址存储器).....	12
3.1.2 RPAGE~R1(TCC 定时计数器).....	12
3.1.3 RPAGE~R2(PC 程序计数器).....	12
3.1.4 RPAGE~R3(STATUS 状态寄存器).....	13
3.1.5 RPAGE~R4(FSR RAM 选择寄存器)	13
3.1.6 RPAGE~R5(PORT5 数据寄存器).....	14
3.1.7 RPAGE~R6(PORT6 数据寄存器).....	14
3.1.8 RPAGE~R7(查表地址高位寄存器).....	14
3.1.9 RPAGE~R8(PWM1 控制寄存器).....	14
3.1.10 RPAGE~R9(PWM1 周期占空高位寄存器).....	15
3.1.11 RPAGE~RA(PWM1 周期低位寄存器).....	15
3.1.12 RPAGE~RB(PWM1 占空低位寄存器).....	15
3.1.13 RPAGE~RC(查表地址低位寄存器).....	15
3.1.14 RPAGE~RD(P6 端口中断唤醒使能寄存器).....	15
3.1.15 RPAGE~RE(查表数据高位寄存器).....	15
3.1.16 RPAGE~RF(中断标志寄存器).....	15
3.1.17 RPAGE~R40(PWM 死区控制寄存器).....	16
3.1.18 RPAGE~R41(PWM 极性及死区控制寄存器).....	17
3.1.19 RPAGE~R42(LVD 中断唤醒及端口运算控制寄存器).....	17
3.1.20 RPAGE~R43(IPWM 输出及 BUZ 输出控制寄存器).....	18
3.1.21 RPAGE~R44(PWM 倍频及 P5 驱动增强控制寄存器).....	18
3.1.22 RPAGE~R45(PWM2 控制寄存器).....	19
3.1.23 RPAGE~R46(PWM2-3 周期占空高位寄存器).....	19
3.1.24 RPAGE~R47(PWM2 周期低位寄存器).....	19
3.1.25 RPAGE~R48(PWM2 占空低位寄存器).....	20
3.1.26 RPAGE~R49(PWM3 控制寄存器).....	20
3.1.27 RPAGE~R4A(PWM3 周期低位寄存器).....	20
3.1.28 RPAGE~R4B(PWM3 占空低位寄存器).....	20
3.1.29 RPAGE~R4C(P6 端口驱动控制寄存器).....	21
3.1.30 RPAGE~R4D(逻辑运算端口选择寄存器).....	21
3.1.31 RPAGE~R4E(端口运算控制寄及操作类型寄存器).....	21



3.1.32 RPAGE~R4F(端口运算操作类型寄存器)	22
3.2 控制寄存器	24
3.2.1 CONT (控制寄存器)	24
3.2.2 IOPAGE~IOC5(P5 方向控制寄存器).....	24
3.2.3 IOPAGE~IOC6(P6 方向控制寄存器).....	24
3.2.4 IOPAGE~IOC9(端口上下拉控制寄存器).....	25
3.2.5 IOPAGE~IOCB(端口下拉控制寄存器).....	25
3.2.6 IOPAGE~IOCC(P6 端口开漏控制寄存器).....	25
3.2.7 IOPAGE~IOCD(P6 端口上拉控制寄存器)	25
3.2.8 IOPAGE~IOCE(WDT 使能及 LVD 控制寄存器).....	25
3.2.9 IOPAGF~IOCF(WDT 唤醒及中断使能控制寄存器)	26
3.3 GPIO 功能模块	27
3.3.1 GPIO 寄存器说明	27
RPAGE~R5(P0RT5 数据寄存器).....	27
RPAGE~R6(P0RT6 数据寄存器).....	27
RPAGE~R44(PWM 倍频及 P5 驱动增强控制寄存器).....	27
RPAGE~R4C(P6 端口驱动控制寄存器).....	27
IOPAGE~IOC5(P5 方向控制寄存器).....	27
IOPAGE~IOC6(P6 方向控制寄存器).....	28
IOPAGE~IOC9(端口上下拉控制寄存器).....	28
IOPAGE~IOCB(端口下拉控制寄存器).....	28
IOPAGE~IOCC(P6 端口开漏控制寄存器).....	28
IOPAGE~IOCD(P6 端口上拉控制寄存器)	28
3.4 TCC 定时器功能模块	29
3.4.1 TCC 定时器寄存器说明	29
CONT (控制寄存器)	29
RPAGE~R1(TCC 定时计数器).....	29
RPAGE~RF(中断标志寄存器)	30
IOPAGF~IOCF(WDT 唤醒及中断使能控制寄存器)	30
3.4.2 TCC 定时设置说明	30
3.5 WDT 看门狗功能模块	31
3.5.1 WDT 看门狗寄存器说明.....	31
RPAGE~RF(中断标志寄存器)	31
IOPAGE~IOCE(WDT 使能及 LVD 控制寄存器).....	31
IOPAGF~IOCF(WDT 唤醒及中断使能控制寄存器)	31
3.5.2 WDT 看门狗设置说明.....	31
3.6 端口状态改变唤醒功能模块	32
3.6.1 睡眠唤醒方式说明	32
3.6.2 端口状态改变唤醒寄存器说明.....	32
RPAGE~RD(P6 端口中断唤醒使能寄存器).....	32
RPAGE~RF(中断标志寄存器)	32
IOPAGF~IOCF(WDT 唤醒及中断使能控制寄存器)	32
3.6.3 端口状态改变查询方式唤醒设置.....	33
3.6.4 端口状态改变中断方式唤醒设置.....	33



3.7 LVD 电压检测功能模块	34
3.7.1 LVD 电压检测寄存器说明	34
RPAGE~RF(中断标志寄存器)	34
RPAGE~R42(LVD 中断唤醒及端口运算控制寄存器)	34
IOPAGE~IOCE(WDT 使能及 LVD 控制寄存器)	34
3.7.2 LVD 电压检测查询方式设置说明	35
3.7.3 LVD 电压检测中断设置说明	35
3.7.4 LVD 电压检测唤醒设置说明	35
3.8 PWM 脉宽调制功能模块	36
3.8.1 PWM 脉宽调制寄存器说明	36
RPAGE~R8(PWM1 控制寄存器)	36
RPAGE~R9(PWM1 周期占空高位寄存器)	36
RPAGE~RA(PWM1 周期低位寄存器)	36
RPAGE~RB(PWM1 占空低位寄存器)	37
RPAGE~RF(中断标志寄存器)	37
RPAGE~R40(PWM 死区控制寄存器)	37
RPAGE~R41(PWM 极性 & 死区控制寄存器)	38
RPAGE~R43(IPWM 输出及 BUZ 输出控制寄存器)	38
RPAGE~R44(PWM 倍频及 P5 驱动增强控制寄存器)	39
RPAGE~R45(PWM2 控制寄存器)	39
RPAGE~R46(PWM2-3 周期占空高位寄存器)	40
RPAGE~R47(PWM2 周期低位寄存器)	40
RPAGE~R48(PWM2 占空低位寄存器)	40
RPAGE~R49(PWM3 控制寄存器)	40
RPAGE~R4A(PWM3 周期低位寄存器)	41
RPAGE~R4B(PWM3 占空低位寄存器)	41
IOPAGF~IOCF(WDT 唤醒及中断使能控制寄存器)	41
3.8.2 PWM 脉宽调制设置说明	41
3.9 端口逻辑运算功能模块	42
3.9.1 端口逻辑运算寄存器说明	42
RPAGE~R42(LVD 中断唤醒及端口运算控制寄存器)	42
RPAGE~R4D(逻辑运算端口选择寄存器)	42
RPAGE~R4E(端口运算控制寄及操作类型寄存器)	43
RPAGE~R4F(端口运算操作类型寄存器)	43
3.9.2 端口逻辑运算设置说明	44
3.10 中断功能模块	45
3.10.1 中断寄存器说明	45
RPAGE~RF(中断标志寄存器)	45
RPAGE~R42(LVD 中断唤醒及端口运算控制寄存器)	46
IOPAGF~IOCF(WDT 唤醒及中断使能控制寄存器)	46
3.11 复位功能模块	47
3.11.1 复位功能概述	47
3.11.2 上电复位	47
3.11.3 WDT 看门狗复位	47



3.11.4 掉电复位	48
3.11.5 工作频率与 LVR 低压检测关系	48
3.11.6 寄存器上电复位值	49
3.12 系统时钟功能模块	50
3.12.1 内部 RC 振荡器模式 (IRC)	50
3.12.2 外部晶体振荡器/陶瓷谐振器 (XT)	51
3.12.3 外部 RC 振荡器模式 (ERC)	51
3.12.4 时钟模块应用说明	52
4 CODE OPTION 寄存器	53
5 芯片电气特性	55
5.1 芯片极限参数	55
5.2 芯片直流参数	55
6 封装尺寸信息	56
6.1 14PIN 封装尺寸	56
6.2 8PIN 封装尺寸	57



1 芯片简介

1.1 功能特性

CPU 配置

- 1K×14-Bit OTP ROM
- 48×8-Bit SRAM
- 5 级堆栈空间
- 4 级可编程电压检测 (LVD)
2.4V, 2.7V, 3.6V, 3.9V
- 7 级可编程电压复位 (LVR)
1.2V, 1.6V, 1.8V
2.4V, 2.7V, 3.3V, 3.7V
- 工作电流小于 1 mA (4MHz/5V)
- 工作电流 30 μ A (32KHz/3V)
- 休眠电流小于 1 μ A (休眠模式)

I/O 配置

- 2 组双向 I/O 端口:P5, P6
- 11 个 I/O 口和 1 个 I 口引脚
- 唤醒端口:P6 口
- 12 个可编程上拉 I/O 引脚
- 11 个可编程下拉 I/O 引脚
- 8 个可编程漏极开路 I/O 引脚
- 12 个可编程驱动增强 I/O 引脚
- 外部中断:P60

工作电压

- 工作电压范围:
1.8V~5.5V (0°C~70°C)
2.3V~5.5V (-40°C~85°C)

工作频率范围

- 内置 IRC 振荡电路:
16MHz/8MHz/4MHz
2MHz/1MHz/455KHz
- 时钟周期分频选择:
2Clock, 4Clock, 8Clock, 16Clock

外围模块

- 8Bit 实时时钟/计数器
- 3 路 10Bit 脉宽调制器 PWM
- 3 路可级联 20Bit 脉宽调制器 PWM

中断源

- TCC 溢出中断
- 外部中断
- 输入端口状态改变产生中断
- WDT 定时中断
- 低电压检测 (LVD) 中断
- PWM1 周期匹配中断
- PWM2 周期匹配中断
- PWM3 周期匹配中断

特性

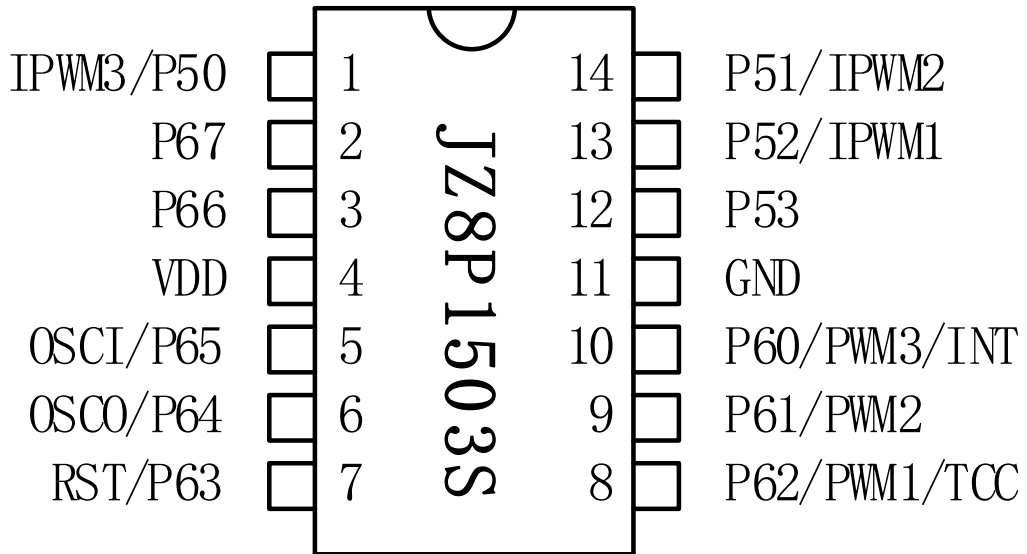
- 可编程 WDT 定时器
- LVD 带有中断和唤醒功能
- PWM 带有死区, 倍频, 互补, 级联

封装类型

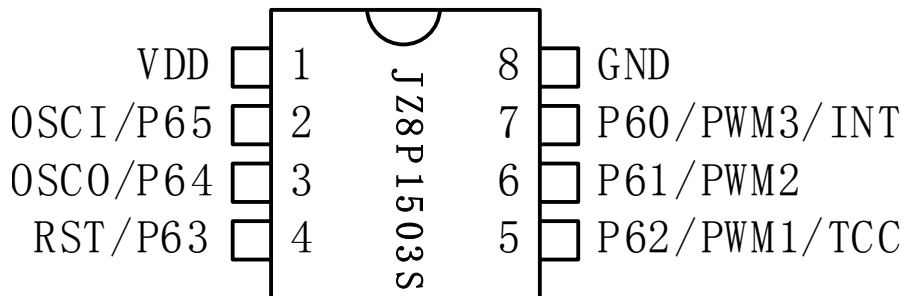
- JZ8P1503S-DIP14;
- JZ8P1503S-SOP14;
- JZ8P1503S-DIP8;
- JZ8P1503S-SOP8;
- JZ8P1503S-SOT23-6;



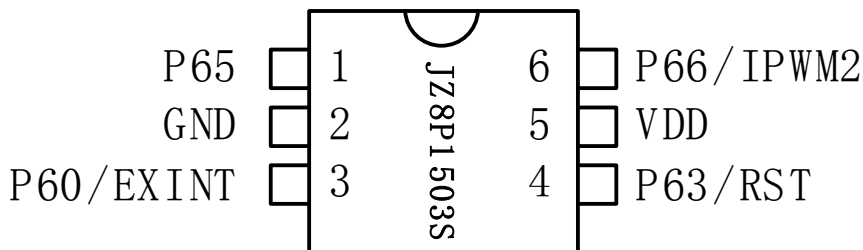
1.2 引脚分配



JZ8P1503S-14PIN 脚位图



JZ8P1503S-8PIN 脚位图



JZ8P1503S-6PIN 脚位图

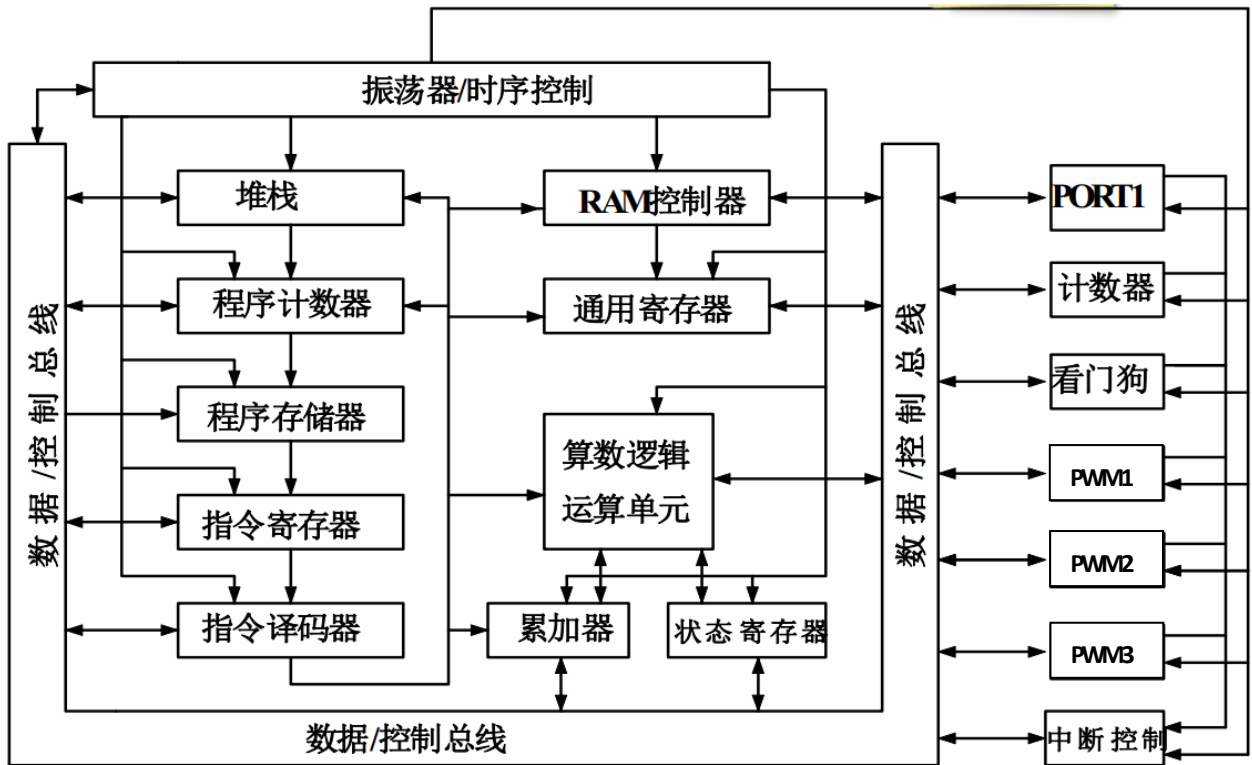


1.3 引脚说明

序号	管脚名	I/O	功能描述
P50	P50	I/O (上/下拉)	GPIO, 可编程上下拉、高驱动
	IPWM3	CMOS输出	PWM3 互补输出
P51	P51	I/O (上/下拉)	GPIO, 可编程上下拉、高驱动
	IPWM2	CMOS输出	PWM2 互补输出
P52	P52	I/O (上/下拉)	GPIO, 可编程上下拉、高驱动
	IPWM1	CMOS输出	PWM1 互补输出
P53	P53	I/O (上/下拉)	GPIO, 可编程上下拉、高驱动
P60	P60	I/O (上/下拉)	GPIO, 可编程上下拉、漏极开路、高驱动、端口唤醒
	INT	I (SMT)	外部中断输入端口
	PWM3	0	PWM3输出
P61	P61	I/O (上/下拉)	GPIO, 可编程上下拉、漏极开路、高驱动、端口唤醒
	PWM2	0	PWM2输出
P62	P62	I/O (上/下拉)	GPIO, 可编程上下拉、漏极开路、高驱动、端口唤醒
	TCC	I	外部TCC信号源输入脚
	PWM1	0	PWM1输出
P63	P63	I/O (上拉)	GPI, 可编程上拉、漏极开路、端口唤醒
	RST	I (SMT)	复位脚
P64	P64	I/O (上/下拉)	GPIO, 可编程上下拉、漏极开路、高驱动、端口唤醒
P65	P65	I/O (上/下拉)	GPIO, 可编程上下拉、漏极开路、高驱动、端口唤醒
P66	P66	I/O (上/下拉)	GPIO, 可编程上下拉、漏极开路、高驱动、端口唤醒
P67	P67	I/O (上/下拉)	GPIO, 可编程上下拉、漏极开路、高驱动、端口唤醒
	VDD	--	电源
	VSS	--	地



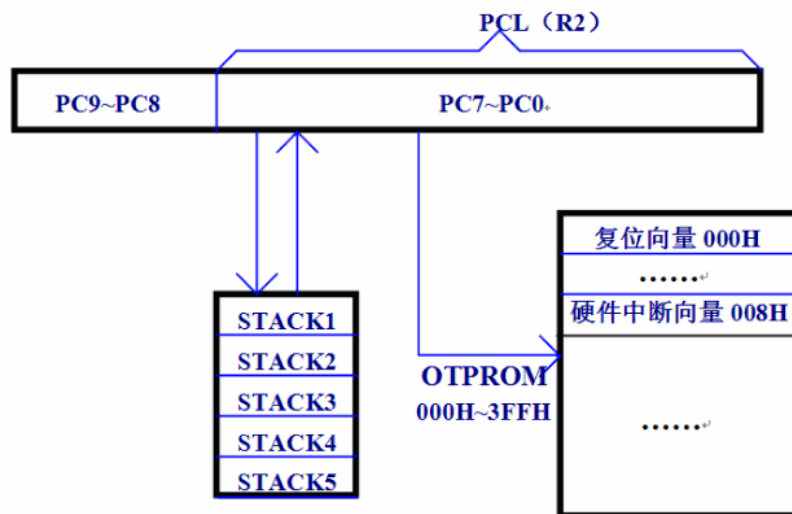
1.4 系统框图



系统结构框图

2 存储器结构

2.1 程序存储器区



程序存储器区结构图



2.2 数据存储区

2.2.1 RPAGE\IOPAGE\Bank数据寄存器区

地址	RPAGE 页面寄存器	IOPAGE 页面寄存器
0x00	R0 (间接地址存储器)	保留
0x01	R1 (TCC 定时计数器)	CONT (控制寄存器)
0x02	R2 (PC 程序计数器)	保留
0x03	R3 (STATUS 状态寄存器)	保留
0x04	FSR RAM 选择寄存器	保留
0x05	PORT5 数据寄存器	P5 方向控制寄存器
0x06	PORT6 数据寄存器	P6 方向控制寄存器
0x07	查表地址高位寄存器	保留
0x08	PWM1 控制寄存器	保留
0x09	PWM1 周期占空高位寄存器	端口上下拉控制寄存器
0x0A	PWM1 周期低位寄存器	保留
0x0B	PWM1 占空低位寄存器	端口下拉控制寄存器
0x0C	查表地址低位寄存器	P6 端口开漏控制寄存器
0x0D	P6 端口中断唤醒使能寄存器	P6 端口上拉控制寄存器
0x0E	查表数据高位寄存器	WDT 使能控制寄存器
0x0F	中断标志寄存器	WDT 唤醒及中断使能控制寄存器
地址	Bank 寄存器	
0x10 ~ 0x3F	通用寄存器	
0x40	PWM 死区控制寄存器	
0x41	PWM 极性及死区控制寄存器	
0x42	LVD 中断唤醒及端口运算控制寄存器	
0x43	IPWM 输出及 BUZ 输出控制寄存器	
0x44	PWM 倍频及 P5 驱动增强控制寄存器	
0x45	PWM2 控制寄存器	
0x46	PWM2-3 周期占空高位寄存器	
0x47	PWM2 周期低位寄存器	
0x48	PWM2 占空低位寄存器	
0x49	PWM3 控制寄存器	
0x4A	PWM3 周期低位寄存器	
0x4B	PWM3 占空低位寄存器	
0x4C	P6 端口驱动控制寄存器	
0x4D	逻辑运算端口选择寄存器	
0x4E	端口运算控制及操作类型寄存器	
0x4F	端口运算操作类型寄存器	



3 功能模块

3.1 操作寄存器

3.1.1 RPAGE~R0 (间接地址存储器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RIND<7:0>							

间接寻址寄存器并不是一个实际存在的寄存器，它的主要功能是作为间接寻址的指针。任何以 R0 作为指针的指令，实际对应的地址是 R4 (RAM 选择寄存器) 低 6 位 FSR<5:0>所指向的数据。

3.1.2 RPAGE~R1 (TCC定时计数器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TCC<7:0>							

TCC 是一个 8Bit 上行计数器, 时钟源可选内部时钟/外部时钟, 计数溢出可形成中断, TCC 可读可写。

TCC 可由 EXINT 引脚上的信号边沿或指令周期触发产生加 1 操作 (CONT. 4 位定义)。如果清零 PAB 位 (CONT. 3), 会有一个预分频器分配给 TCC, 当 TCC 寄存器被写入一个值时, 预分频器的值会被清 0。

3.1.3 RPAGE~R2 (PC程序计数器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCL<7:0>							

程序计数器 (PC) 是用于记录每个指令周期中 CPU 所要处理的指令的指针。在 CPU 运行周期中, PC 将指令指针推进程序存储器, 然后指针自增 1 以进入下一个周期。JZ8P1503S 拥有一个 10 位宽度的程序计数器 (PC), 其低字节来自可读写的 PCL, 高位 (PC<9:8>) 不可读。

JZ8P1503S 堆栈是用于记录程序返回的指令指针。当调用子程序时, PC 将指令指针压栈。待执行返回指令时, 堆栈将指令指针送回 PC, 继续进行原来的进程。JZ8P1503S 拥有 5 级堆栈, 该堆栈既不占程序存储空间也不占数据存储空间, 并且堆栈指针不能读写。

- (1) 寄存器 PC 和内置 5 级堆栈都是 10 位宽, 用于 1K×14Bit ROM 的寻址, JZ8P1503S 程序存储区映射。
- (2) 一般情况下, PC 自增一; 复位时, PC 的所有位都被清零。
- (3) 指令“JMP”允许直接载入低 10 位地址, 因此, JMP 指令可以实现当前页面内 (1K 范围内) 任意位置跳转。指令“JMP”直接载入低 10 位地址, 同时将 PC +1 压栈, 子程序入口地址只要在同一页面内就能够被准确定位。
- (4) 执行“RET”指令时将栈顶数据送到 PC。
- (5) 当设置 PC 查表能力为 1/4K 时 (设置 OPTION 选项中查表范围为 0~256), 任何对 PC 的内容进行直接修改的指令都将引起 PC 的第 9、10 位被清零。因此, 产生的跳转限于同一页面的前 256 个地址, 改变 PC 内容的指令需要 2 个指令周期。

当设置 PC 查表能力为 1K 时, 任何对 PC 值进行改写的指令会相应影响 PC 最高两位。因此, 产生的跳转可扩充至 1K 范围。

- (6) 发生中断时, 程序计数器的值将发生改变, PC 赋值为 008。



(7) 堆栈的工作犹如循环缓冲器，也就是说，压栈 5 次之后，第 6 次压栈时进栈的数据将覆盖第 1 次进栈的数据，而第 7 次压栈时进栈的数据将覆盖第 2 次进栈的数据，依此类推。

3.1.4 RPAGE~R3 (STATUS 状态寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RST	GB1	GB0	T	P	Z	DC	C

Bit<7>:RST-复位类型标志位:

0:其它复位类型

1:若休眠模式由引脚状态改变、比较器状态改变或 AD 转换完成等唤醒

Bit<6>:GB1-未定义

Bit<5>:GB0-未定义

Bit<4>:T-时间溢出位

0:WDT 溢出

1:执行“SLEEP”和“WDTC”指令或低压复位

影响 T/P 的事件如下表所示:

类型	RST	T	P
上电复位	0	1	1
工作模式下按RESET	0	保持	保持
RESET唤醒	0	1	0
工作模式下WDT溢出	0	0	保持
WDT溢出唤醒	0	0	0
端口状态变化唤醒	1	1	0
执行WDTC指令	保持	1	1
执行SLEEP指令	保持	1	0

Bit<3>:P-掉电标志位:

0:执行“SLEEP”指令

1:上电复位或执行“WDTC”指令

Bit<2>:Z-零标志位算术或逻辑操作结果为零时置为“1”

0:当算术或者逻辑运算结果不为 0

1:当算术或者逻辑运算结果为 0

Bit<1>:DC-辅助进位标志:

0:执行加法运算时，低四位没有进位产生；/执行减法运算时，低四位产生借位

1:执行加法运算时，低四位有进位产生；/执行减法运算时，低四位没产生借位

Bit<0>:C-进位标志:

0:执行加法运算时，高四位没有进位产生；/执行减法运算时，高四位产生借位

1:执行加法运算时，高四位有进位产生；/执行减法运算时，高四位没产生借位

3.1.5 RPAGE~R4 (FSR RAM选择寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
1	1	FSR<5:0>					

FSR<5:0> 在间接寻址方式中用于选择 RAM 寄存器地址（寻址范围:0X00~0X3F）

FSR 用于配合 R0 实现间接寻址操作。用户可以将某个寄存器对应的地址放进 FSR，然后通过访问间接寻址寄存器 R0，此时地址将指向 FSR 中对应地址的寄存器。



3.1.6 RPAGE~R5 (PORT5 数据寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	-	-	-	P53	P52	P51	P50

端口输入/输出寄存器，P5 端口为 4 位，R5 为可读可写寄存器

3.1.7 RPAGE~R6 (PORT6 数据寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P67	P66	P65	P64	P63	P62	P61	P60

端口输入/输出寄存器，P6 端口为 8 位，R6 为可读可写寄存器

3.1.8 RPAGE~R7 (查表地址高位寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	0	0	0	0	TADH<9>	TADH<8>

Bit<1:0>:TADH<9:8>-查表地址高两位

3.1.9 RPAGE~R8 (PWM1 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1EN	PT1EN	PT1P<2:0>			IPWM1	PWM1CK	PWM1CS

Bit<7>:PWM1EN-PWM1 输出使能控制

1:使能

0:禁止

Bit<6>:PT1EN-PWM1 时钟分频器使能控制位

1:使能

0:禁止

Bit<5:3>:PT1P<2:0>-PWM1 时钟分频选项

PT1P<2>	PT1P<1>	PT1P<0>	分频比
0	0	0	1:2
0	0	1	1:4
0	1	0	1:8
0	1	1	1:16
1	0	0	1:32
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

Bit<2>:IPWM1-PWM1 互补输出使能控制位

1:使能

0:禁止

Bit<1>:PWM1CK-PWM1CK 时钟选择

1:选择 Fcpu 作为 PWM1 时钟

0:选择 Fosc 作为 PWM1 时钟

Bit<0>:PWM1CS-PWM 级联使能控制

1:使能 (PWM2 级联至 PWM1, PWM2 为高位, PWM1 为低位)

0:禁止



3.1.10 RPAGE~R9 (PWM1 周期占空高位寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	-	PDT1<9:8>			-	-	PCY1<9:8>

Bit<5:4>:PDT1<9:8>-PWM1 占空高两位数据

Bit<1:0>:PCY1<9:8>-PWM1 周期高两位数据

3.1.11 RPAGE~RA (PWM1 周期低位寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCY1<7:0>							

Bit<7:0>:PCY1<7:0>-PWM1 周期低八位数据

3.1.12 RPAGE~RB (PWM1 占空低位寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PDT1<7:0>							

Bit<7:0>:PDT1<7:0>-PWM1 占空低八位数据

3.1.13 RPAGE~RC (查表地址低位寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TADL<7:0>							

Bit<7:0>:TADL<7:0>-查表地址低八位

3.1.14 RPAGE~RD (P6 端口中断唤醒使能寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6WK<7>	P6WK<6>	P6WK<5>	P6WK<4>	P6WK<3>	P6WK<2>	P6WK<1>	P6WK<0>

Bit<7:0>:P6WK<7:0>-P6 端口中断唤醒使能

1:使能

0:禁止 (默认)

3.1.15 RPAGE~RE (查表数据高位寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	-	TDAH<13:8>					

Bit<7:6>:GPR-通用读写位

Bit<5:0>:TDAH<13:8>-查表数据高六位

3.1.16 RPAGE~RF (中断标志寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDIF	WDTIF	PWM3IF	PWM2IF	PWM1IF	EXIF	P6ICIF	TCIF

Bit<7>:LVDIF-LVD 低压检测中断标志位

1:有中断

0:无中断

Bit<6>:WDTIF-WDT 看门狗中断标志位

1:有中断

0:无中断

Bit<5>:PWM3IF-PWM3 周期中断标志位

1:有中断

0:无中断



Bit<4>:PWM2IF-PWM2 周期中断标志位

1:有中断

0:无中断

Bit<3>:PWM1IF-PWM2 周期中断标志位

1:有中断

0:无中断

Bit<2>:EXIF-外部端口中断标志位

1:有中断

0:无中断

Bit<1>:P6ICIF-P6 端口状态改变中断标志位

1:有中断

0:无中断

Bit<0>:TCIF-TCC 中断标志位

1:有中断

0:无中断

3.1.17 RPAGE~R40 (PWM死区控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DEADEN<2:0>			DEADCK	DEADTMS<3:0>			

Bit<7:5>:DEADEN<2:0>-PWM 死区使能控制位

DEADEN<0> PWM1 死区使能控制位

DEADEN<1> PWM2 死区使能控制位

DEADEN<2> PWM3 死区使能控制位

0:禁止

1:使能

Bit<4>:DEADCK-PWM 死区时钟选择

1:选择 Fcpu 作为死区时钟

0:选择 Fosc 作为死区时钟

Bit<3:0>:DEADTMS-PWM 死区时间设置

DEADTMS<3>	DEADTMS<2>	DEADTMS<1>	DEADTMS<0>	PWM 死区时间
0	0	0	1	1*TDck
0	0	1	0	2*TDck
0	0	1	1	3*TDck
0	1	0	0	4*TDck
0	1	0	1	5*TDck
0	1	1	0	6*TDck
0	1	1	1	7*TDck
1	0	0	0	8*TDck
1	0	0	1	9*TDck
1	0	1	0	10*TDck
1	0	1	1	11*TDck
1	1	0	0	12*TDck
1	1	0	1	13*TDck
1	1	1	0	14*TDck
1	1	1	1	15*TDck



3.1.18 RPAGE~R41 (PWM极性及死区控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INVH<2:0>			INVL<2:0>			DIVCK<1:0>	

Bit<7:5>: INVH<2:0>-PWM 极性选择控制位

INVH<0> PWM1 极性选择控制位

INVH<1> PWM2 极性选择控制位

INVH<2> PWM3 极性选择控制位

0:Duty 高电平有效

1:Duty 低电平有效

Bit<4:2>: INVL<2:0>-IPWM 极性选择控制位

INVL<0> IPWM1 极性选择控制位

INVL<1> IPWM2 极性选择控制位

INVL<2> IPWM3 极性选择控制位

0:Duty 低电平有效

1:Duty 高电平有效

Bit<1:0>: DIVCK<1:0>-PWM 死区时钟分频选项

DIVCK<1>	DIVCK<0>	分频系数
0	0	1
0	1	1/4
1	0	1/16
1	1	1/64

3.1.19 RPAGE~R42 (LVD中断唤醒及端口运算控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDWK	LVDIE	P670E	P660E	P530E	P520E	P510E	P500E

Bit<7>: LVDWK-LVD 低压检测唤醒使能位

1:使能

0:禁止 (默认)

Bit<6>: LVDIE-LVD 低压检测中断使能位

1:使能

0:禁止 (默认)

Bit<5>: P670E-P67 输出逻辑运算结果 (同 P65 输出) 控制位

1:使能

0:禁止

Bit<4>: P660E-P66 输出逻辑运算结果 (同 P64 输出) 控制位

1:使能

0:禁止

Bit<3>: P530E-P53 输出逻辑运算结果 (同 P63 输出) 控制位

1:使能

0:禁止

Bit<2>: P520E-P52 输出逻辑运算结果 (同 P65 输出) 控制位

1:使能

0:禁止



Bit<1>:P510E-P51 输出逻辑运算结果（同 P64 输出）控制位

1:使能

0:禁止

Bit<0>:P500E-P50 输出逻辑运算结果（同 P63 输出）控制位

1:使能

0:禁止

3.1.20 RPAGE~R43 (IPWM输出及BUZ输出控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	IPWMOSEL<1:0>		0	BUZ3EN	BUZ2EN	BUZ1EN

Bit<7:6>:只读，保持为 0

Bit<5:4>:IPWMOSEL<1:0>-IPWM 输出通道选择

IPWMOSEL<1>	IPWMOSEL<0>	IPWM3	IPWM2	IPWM1	PWM3	PWM2	PWM1
0	0	P63	P64	P65	P60	P61	P62
0	1	P53	P66	P67	P60	P61	P62
1	0	P50	P51	P52	P60	P61	P62
1	1	-	-	-	P60	P61	P62

Bit<3>:只读，保持为 0

Bit<2>:BUZ3EN-BUZ3 蜂鸣器使能控制

1:使能 PWM3 通道输出 BUZ 波形

0:禁止

Bit<1>:BUZ2EN-BUZ2 蜂鸣器使能控制

1:使能 PWM2 通道输出 BUZ 波形

0:禁止

Bit<0>:BUZ1EN-BUZ1 蜂鸣器使能控制

1:使能 PWM1 通道输出 BUZ 波形

0:禁止

3.1.21 RPAGE~R44 (PWM倍频及P5 驱动增强控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DEADBEN	PWM3DBEN	PWM2DBEN	PWM1DBEN	P5HDR<3>	P5HDR<2>	P5HDR<1>	P5HDR<0>

Bit<7>:DEADBEN-死区时钟倍频控制位

0:使能（死区调节时钟加倍）

1:禁止

Bit<6>:PWM3DBEN-PWM3 时钟倍频控制位

0:使能（PWM3 时钟加倍）

1:禁止

Bit<5>:PWM2DBEN-PWM2 时钟倍频控制位

0:使能（PWM2 时钟加倍）

1:禁止

Bit<4>:PWM1DBEN-PWM1 时钟倍频控制位

0:使能（PWM1 时钟加倍）

1:禁止

Bit<3:0>:P5HDR<3:0>-P5 端口驱动能力增强选择



- 1: 禁止
- 0: 使能 (使能后端口驱动能力增加一倍)

3.1.22 RPAGE~R45 (PWM2 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM2EN	PT2EN	PT2P<2:0>			IPWM2	PWM2CK	PWM2CS

Bit<7>:PWM2EN-PWM2 输出使能控制

- 1: 使能
- 0: 禁止

Bit<6>:PT2EN-PWM2 时钟分频器使能控制位

- 1: 使能
- 0: 禁止

Bit<5:3>:PT2P<2:0>-PWM2 时钟分频选项

PT2P<2>	PT2P<1>	PT2P<0>	分频比
0	0	0	1:2
0	0	1	1:4
0	1	0	1:8
0	1	1	1:16
1	0	0	1:32
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

Bit<2>:IPWM2-PWM2 互补输出使能控制位

- 1: 使能
- 0: 禁止

Bit<1>:PWM2CK-PWM2CK 时钟选择

- 1: 选择 Fcpu 作为 PWM2 时钟
- 0: 选择 Fosc 作为 PWM2 时钟

Bit<0>:PWM2CS-PWM 级联使能控制

- 1: 使能 (PWM3 级联至 PWM2, PWM3 为高位, PWM2 为低位)
- 0: 禁止

3.1.23 RPAGE~R46 (PWM2-3 周期占空高位寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PDT3<9:8>		PDT2<9:8>		PCY3<9:8>		PCY2<9:8>	

Bit<7:6>:PDT3<9:8>-PWM3 占空比高两位数据

Bit<5:4>:PDT2<9:8>-PWM2 占空比高两位数据

Bit<3:2>:PCY3<9:8>-PWM3 周期高两位数据

Bit<1:0>:PCY2<9:8>-PWM2 周期高两位数据

3.1.24 RPAGE~R47 (PWM2 周期低位寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCY2<7:0>							

Bit<7:0>:PCY2<7:0>-PWM2 周期低八位数据



3.1.25 RPAGE~R48 (PWM2 占空低位寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PDT2<7:0>							

Bit<7:0>:PDT2<7:0>-PWM2 占空低八位数据

3.1.26 RPAGE~R49 (PWM3 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM3EN	PT3EN	PT3P<2:0>			IPWM3	PWM3CK	PWM3CS

Bit<7>:PWM3EN-PWM3 输出使能控制

- 1:使能
- 0:禁止

Bit<6>:PT3EN-PWM3 时钟分频器使能控制位

- 1:使能
- 0:禁止

Bit<5:3>:PT3P<2:0>-PWM3 时钟分频选项

PT3P<2>	PT3P<1>	PT3P<0>	分频比
0	0	0	1:2
0	0	1	1:4
0	1	0	1:8
0	1	1	1:16
1	0	0	1:32
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

Bit<2>:IPWM3-PWM3 互补输出使能控制位

- 1:使能
- 0:禁止

Bit<1>:PWM3CK-PWM3CK 时钟选择

- 1:选择 Fcpu 作为 PWM3 时钟
- 0:选择 Fosc 作为 PWM3 时钟

Bit<0>:PWM3CS-PWM 级联使能控制

- 1:使能 (PWM1 级联至 PWM3, PWM1 为高位, PWM3 为低位)
- 0:禁止

3.1.27 RPAGE~R4A (PWM3 周期低位寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCY3<7:0>							

Bit<7:0>:PCY3<7:0>-PWM3 周期低八位数据

3.1.28 RPAGE~R4B (PWM3 占空低位寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PDT3<7:0>							

Bit<7:0>:PDT3<7:0>-PWM3 占空低八位数据



3.1.29 RPAGE~R4C (P6 端口驱动控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6HDR<7>	P6HDR<6>	P6HDR<5>	P6HDR<4>	P6HDR<3>	P6HDR<2>	P6HDR<1>	P6HDR<0>

Port6 端口驱动能力增强选择

- 1: 禁止
- 0: 使能 (使能后端口驱动能力增加一倍)

3.1.30 RPAGE~R4D (逻辑运算端口选择寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
POS3<2>	P650E	LOP2<2:0>			LOP1<2:0>		

Bit<7>:POS3<2>-逻辑运算操作类型选择位 (配合 R4F 寄存器中 POS3<1:0>来操作)

Bit<6>:P650E-P65 输出逻辑运算结果控制位

- 1: 使能
- 0: 禁止

Bit<5:3>-LOP2<2:0>-逻辑运算端口 2 操作数选择

LOP2<2>	LOP2<1>	LOP2<0>	操作数
0	0	0	P60
0	0	1	P61
0	1	0	P62
0	1	1	P63
1	0	0	P64
1	0	1	P65
1	1	0	P66
1	1	1	P67

Bit<2:0>-LOP1<2:0>-逻辑运算端口 1 操作数选择

LOP1<2>	LOP1<1>	LOP1<0>	操作数
0	0	0	P60
0	0	1	P61
0	1	0	P62
0	1	1	P63
1	0	0	P64
1	0	1	P65
1	1	0	P66
1	1	1	P67

3.1.31 RPAGE~R4E (端口运算控制寄及操作类型寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P640E	P630E	P620E	P610E	P600E	POS0<2:0>		

Bit<7>:P640E-P64 输出逻辑运算结果控制位

- 1: 使能
- 0: 禁止

Bit<6>:P630E-P63 输出逻辑运算结果控制位

- 1: 使能
- 0: 禁止



Bit<5>:P620E-P62 输出逻辑运算结果控制位

- 1:使能
- 0:禁止

Bit<4>:P610E-P61 输出逻辑运算结果控制位

- 1:使能
- 0:禁止

Bit<3>:P600E-P60 输出逻辑运算结果控制位

- 1:使能
- 0:禁止

Bit<2:0>:POS0<2:0>-P60~P62 逻辑运算结果选择位

POS0<2>	POS0<1>	POS0<0>	操作类型
0	0	0	LOP1
0	0	1	~LOP1
0	1	0	LOP1&LOP2
0	1	1	LOP1 LOP2
1	0	0	LOP1⊕LOP2
1	0	1	LOP1⊙LOP2
1	1	0	~(LOP1&LOP2)
1	1	1	~(LOP1 LOP2)

3.1.32 RPAGE~R4F(端口运算操作类型寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
POS3<1:0>		POS2<2:0>			POS1<2:0>		

Bit<7:6>:POS3<1:0>-P65/P67/P52 逻辑运算结果选择位

POS3<2>	POS3<1>	POS3<0>	操作类型
0	0	0	LOP1
0	0	1	~LOP1
0	1	0	LOP1&LOP2
0	1	1	LOP1 LOP2
1	0	0	LOP1⊕LOP2
1	0	1	LOP1⊙LOP2
1	1	0	~P62
1	1	1	P62

Bit<5:3>:POS2<2:0>-P64/P66/P51 逻辑运算结果选择位

POS2<2>	POS2<1>	POS2<0>	操作类型
0	0	0	LOP1
0	0	1	~LOP1
0	1	0	LOP1&LOP2
0	1	1	LOP1 LOP2
1	0	0	LOP1⊕LOP2
1	0	1	LOP1⊙LOP2
1	1	0	~P61
1	1	1	P61



Bit<2:0>:POS1<2:0>-P63/P53/P50 逻辑运算结果选择位

POS1<2>	POS1<1>	POS1<0>	操作类型
0	0	0	LOP1
0	0	1	\sim LOP1
0	1	0	LOP1&LOP2
0	1	1	LOP1 LOP2
1	0	0	LOP1 \oplus LOP2
1	0	1	LOP1 \odot LOP2
1	1	0	\sim P60
1	1	1	P60



3.2 控制寄存器

3.2.1 CONT (控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	INT	TS	TE	PAB	PSR2	PSR1	PSR0

Bit<7>:未定义

Bit<6>:INT-中断使能标志位

0:由指令或硬件禁止中断

1:由指令使能中断

Bit<5>:TS-TCC 信号源选择位

0:内部指令周期时钟

1:外部输入信号 (P62 需要设置为输入口)

Bit<4>:TE-TCC 信号边沿选择位

0:TCC 引脚信号发生由低到高变化加 1

1:TCC 引脚信号发生由高到低变化加 1

Bit<3>:PAB-预分频器分配位

0:预分频器分给 TCC

1:预分频器分给 WDT

Bit<2:0>PSR2~PSR0:TCC/WDT 预分频选择控制位:

PSR2	PSR1	PSR0	TCC分频系数	WDT分频系数
0	0	0	1:2	1:1
0	0	1	1:4	1:2
0	1	0	1:8	1:4
0	1	1	1:16	1:8
1	0	0	1:32	1:16
1	0	1	1:64	1:32
1	1	0	1:128	1:64
1	1	1	1:256	1:128

CONT 为可读可写寄存器

3.2.2 IOPAGE~IOC5 (P5 方向控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	0	0	P5CR<3>	P5CR<2>	P5CR<1>	P5CR<0>

Port5 方向控制位

1:输入 (默认)

0:输出

3.2.3 IOPAGE~IOC6 (P6 方向控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6CR<7>	P6CR<6>	P6CR<5>	P6CR<4>	P6CR<3>	P6CR<2>	P6CR<1>	P6CR<0>

Port6 方向控制位

1:输入 (默认)

0:输出



3.2.4 IOPAGE~IOC9(端口上下拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6PD<7>	P6PD<6>	P6PD<5>	P6PD<4>	P5PH<3>	P5PH<2>	P5PH<1>	P5PH<0>

Bit<7:4>:P6<7:4>下拉使能控制

- 0:使能
- 1:禁止(默认)

Bit<3:0>:P5<3:0>上拉使能控制

- 0:使能
- 1:禁止(默认)

3.2.5 IOPAGE~IOCB(端口下拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	P6PD<2>	P6PD<1>	P6PD<0>	P5PD<3>	P5PD<2>	P5PD<1>	P5PD<0>

Bit7:未定义

Bit<6:4>:P6<2:0>下拉使能控制

- 0:使能
- 1:禁止(默认)

Bit<3:0>:P5<3:0>下拉使能控制

- 0:使能
- 1:禁止(默认)

注:P5PD<3>下拉功能,在兼容其他类似产品时,注意此位的操作,以免出现功耗等其他问题

3.2.6 IOPAGE~IOCC(P6 端口开漏控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6OD<7>	P6OD<6>	P6OD<5>	P6OD<4>	P6OD<3>	P6OD<2>	P6OD<1>	P6OD<0>

Port6 开漏功能控制

- 1:使能
- 0:禁止(默认)

3.2.7 IOPAGE~IOCD(P6 端口上拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6PH<7>	P6PH<6>	P6PH<5>	P6PH<4>	P6PH<3>	P6PH<2>	P6PH<1>	P6PH<0>

Port6 上拉控制

- 0:使能
- 1:禁止(默认)

注:P6PH<3>软件上拉功能,在OPTION中需功能增强和唤醒独立控制都使能才有效。

3.2.8 IOPAGE~IOCE(WDT使能及LVD控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WDTEN	EIS	LVREN	1	LVDSEL<1>	LVDF	LVDSEL<0>	LVDFEN

Bit<7>:WDTEN-WDT 使能控制

- 1:使能
- 0:禁止(默认)

Bit<6>:EIS-P60 外部中断使能位



1: 使能

0: 禁止

Bit<5>: LVREN-LVR 使能控制

1: 使能

0: 禁止 (默认)

Bit<3, 1>: LVDSEL<1:0>-LVD 电压选择位

0 0: 电压检测点设置为 2.7V

0 1: 电压检测点设置为 3.9V

1 0: 电压检测点设置为 2.4V

1 1: 电压检测点设置为 3.6V

Bit<2>: LVDF-LVD 电压标志位

1: VDD 电压低于预设值

0: VDD 电压高于预设值

Bit<0>: LVDEN-LVD 使能控制位

1: 使能

0: 禁止

注: LVREN 只有在 OPTION 选择中 LVDR 作为 LVD 时才有效

3.2.9 IOPAGF~IOCF (WDT唤醒及中断使能控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WDTWK	WDTIE	PWM3IE	PWM2IE	PWM1IE	EXIE	P6ICIE	TCIE

Bit<7>: WDTWK-WDT 唤醒使能控制

1: 使能

0: 禁止 (默认)

Bit<6>: WDTIE-WDT 中断使能控制

1: 使能

0: 禁止 (默认)

Bit<5>: PWM3IE-PWM3 周期中断使能控制

1: 使能

0: 禁止 (默认)

Bit<4>: PWM2IE-PWM2 周期中断使能控制

1: 使能

0: 禁止 (默认)

Bit<3>: PWM1IE-PWM1 周期中断使能控制

1: 使能

0: 禁止 (默认)

Bit<2>: EXIE-外部中断使能控制

1: 使能

0: 禁止 (默认)

Bit<1>: P6ICIE-P6 端口状态改变中断使能控制

1: 使能

0: 禁止 (默认)

Bit<0>: TCIE-TCC 溢出中断使能控制

1: 使能

0: 禁止 (默认)



3.3 GPIO功能模块

JZ8P1503S 有 2 组双向 I/O 端口，共 12 个输入，11 个输出，大部分 I/O 可以复用为其它功能。

12 个可编程上拉 I/O 引脚:P5.0~P5.3, P6.0~P6.7;

11 个可编程下拉 I/O 引脚:P5.0~P5.3, P6.0~P6.2, P6.4~P6.7;

12 个可编程驱动增强 I/O 引脚:P5.0~P5.3, P6.0~P6.7;

8 个可编程漏极开路 I/O 引脚:P6.0~P6.7;

端口输入特性表格如下:

端口	SMT	HSMT	EMT	INV
P6.3	0.5*VDD	0.2*VDD/0.8*VDD	0.2*VDD/0.35*VDD	0.5*VDD
P6.0~P6.2	0.2*VDD/0.6*VDD	0.2*VDD/0.8*VDD	0.2*VDD/0.35*VDD	0.5*VDD
P6.4~P6.5	0.2*VDD/0.6*VDD	0.2*VDD/0.8*VDD	0.3*VDD	0.5*VDD
P6.6~P6.7	0.2*VDD/0.6*VDD	0.2*VDD/0.8*VDD	0.2*VDD/0.35*VDD	0.5*VDD
P5.0~P5.3	0.2*VDD/0.6*VDD	0.2*VDD/0.8*VDD	0.2*VDD/0.35*VDD	0.5*VDD

3.3.1 GPIO寄存器说明

RPAGE~R5 (PORT5 数据寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	-	-	-	P53	P52	P51	P50

端口输入/输出寄存器，P5 端口为 4 位，R5 为可读可写寄存器

RPAGE~R6 (PORT6 数据寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P67	P66	P65	P64	P63	P62	P61	P60

端口输入/输出寄存器，P6 端口为 8 位，R6 为可读可写寄存器

RPAGE~R44 (PWM倍频及P5 驱动增强控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DEADBEN	PWM3DBEN	PWM2DBEN	PWM1DBEN	P5HDR<3>	P5HDR<2>	P5HDR<1>	P5HDR<0>

Bit<3:0>:P5HDR<3:0>-P5 端口驱动能力增强选择

1:禁止

0:使能(使能后端口驱动能力增加一倍)

RPAGE~R4C (P6 端口驱动控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6HDR<7>	P6HDR<6>	P6HDR<5>	P6HDR<4>	P6HDR<3>	P6HDR<2>	P6HDR<1>	P6HDR<0>

Port6 端口驱动能力增强选择

1:禁止

0:使能(使能后端口驱动能力增加一倍)

IOPAGE~IOC5 (P5 方向控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	0	0	P5CR<3>	P5CR<2>	P5CR<1>	P5CR<0>

Port5 方向控制位

1:输入(默认)

0:输出



IOPAGE~IOCB (P6 方向控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6CR<7>	P6CR<6>	P6CR<5>	P6CR<4>	P6CR<3>	P6CR<2>	P6CR<1>	P6CR<0>

Port6 方向控制位

1:输入 (默认)

0:输出

IOPAGE~IOCB (端口上下拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6PD<7>	P6PD<6>	P6PD<5>	P6PD<4>	P5PH<3>	P5PH<2>	P5PH<1>	P5PH<0>

Bit<7:4>:P6<7:4>下拉使能控制

0:使能

1:禁止 (默认)

Bit<3:0>:P5<3:0>上拉使能控制

0:使能

1:禁止 (默认)

IOPAGE~IOCB (端口下拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	P6PD<2>	P6PD<1>	P6PD<0>	P5PD<3>	P5PD<2>	P5PD<1>	P5PD<0>

Bit7:未定义

Bit<6:4>:P6<2:0>下拉使能控制

0:使能

1:禁止 (默认)

Bit<3:0>:P5<3:0>下拉使能控制

0:使能

1:禁止 (默认)

注:P5PD<3>下拉功能, 在兼容其他类似产品时, 注意此位的操作, 以免出现功耗等其他问题

IOPAGE~IOCC (P6 端口开漏控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P60D<7>	P60D<6>	P60D<5>	P60D<4>	P60D<3>	P60D<2>	P60D<1>	P60D<0>

Port6 开漏功能控制

1:使能

0:禁止 (默认)

IOPAGE~IOCD (P6 端口上拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6PH<7>	P6PH<6>	P6PH<5>	P6PH<4>	P6PH<3>	P6PH<2>	P6PH<1>	P6PH<0>

Port6 上拉控制

0:使能

1:禁止 (默认)

注:P6PH<3>软件上拉功能, 在 OPTION 中需功能增强和唤醒独立控制都使能才有效。



3.4 TCC定时器功能模块

TCC (R1)是一个 8-Bit 上行计数器，只要有时钟就工作。时钟源既可以是内部系统时钟（上升沿触发），也可以选择外部时钟（由 TCC 引脚输入，触发沿可选），如果没有分频控制，每个时钟（Fm/Fs）周期（选择内部时钟）或每个外部时钟周期（外部时钟），计数器实现加 1。

系统提供一个 8-Bit 计数器作为 TCC 的预分频器。可以通过 CONT 寄存器设置 TCC 预分频、触发沿、时钟等。

TCC 计数溢出可以形成中断信号。

3.4.1 TCC定时器寄存器说明

CONT（控制寄存器）

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	INT	TS	TE	PAB	PSR2	PSR1	PSR0

Bit7:未定义

Bit5:TS-TCC 信号源选择位

0:内部指令周期时钟

1:外部输入信号（P62 需要设置为输入口）

Bit4:TE-TCC 信号边沿选择位

0:TCC 引脚信号发生由低到高变化加 1

1:TCC 引脚信号发生由高到低变化加 1

Bit3:PAB-预分频器分配位

0:预分频器分给 TCC

1:预分频器分给 WDT

Bit<2:0>PSR2~PSR0:TCC/WDT 预分频选择控制位:

PSR2	PSR1	PSR0	TCC 分频系数	WDT 分频系数
0	0	0	1:2	1:1
0	0	1	1:4	1:2
0	1	0	1:8	1:4
0	1	1	1:16	1:8
1	0	0	1:32	1:16
1	0	1	1:64	1:32
1	1	0	1:128	1:64
1	1	1	1:256	1:128

CONT 为可读可写寄存器

RPAGE~R1(TCC定时计数器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TCC<7:0>							

TCC 是一个 8Bit 上行计数器,时钟源可选内部时钟/外部时钟,计数溢出可形成中断,TCC 可读可写。

TCC 可由 EXINT 引脚上的信号边沿或指令周期触发产生加 1 操作（CONT.4 位定义）。如果清零 PAB 位（CONT.3），会有一个预分频器分配给 TCC，当 TCC 寄存器被写入一个值时，预分频器的值会被清 0。



RPAGE~RF (中断标志寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDIF	WDTIF	PWM3IF	PWM2IF	PWM1IF	EXIF	P6ICIF	TCIF

Bit0:TCIF-TCC 中断标志位

1:有中断

0:无中断

IOPAGF~IOCF (WDT唤醒及中断使能控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WDTWK	WDTIE	PWM3IE	PWM2IE	PWM1IE	EXIE	P6ICIE	TCIE

Bit0:TCIE-TCC 溢出中断使能控制

1:使能

0:禁止 (默认)

3.4.2 TCC定时设置说明

- 1、给 TCC 寄存器赋初始值；
- 2、设置 CONT 寄存器的值 (选择作为计时器或计数器及预分频比)；
- 3、作为计数器使用，需要在 CONT 寄存器选择 TCC 外部信号为正沿或负沿加 1；
- 4、若需要执行中断功能，须设置 IOCF 寄存器中的 TCIE (Bit0) 为 1，并执行 ENI 指令；
- 5、中断程序部分将手动保存 ACC、STATUS 及 R4 于堆栈器中，执行 RETI 指令后，再自堆栈中取出，退出中断前要清楚 TCC 中断标志位。



3.5 WDT看门狗功能模块

WDT 是一个 12-Bit 上行计数器，有两重使能控制信号控制（OPTION 中的 WDTEN 和 IOCE 寄存器中的 WDTEN 控制位）。计数时钟由单独的振荡器提供，因此在系统进入到静态模式后，WDT 仍然可以运行（如果使能），在正常模式或睡眠模式下，WDT 的溢出均可以使系统复位，复位时间由 OPTION 中的控制位 WDTPS 实现选择 4.5ms、18ms、72ms、288ms。

系统提供一个 8-Bit 计数器作为 WDT 的分频器，通过 CONT 寄存器设置。

无论是在仿真还是在烧录时，如果要使能 WDT 功能，则必需先在 Code Option 寄存器的 WDT 位选 Enable，然后在 WDT 控制寄存器中的 WDTE 位选择“1”。两个条件缺一不可。看门狗定时器(WDT)的计数频率来源为内部的 RC 振荡器，计数频率约为 15kHz（±30%），当 MCU 进入睡眠(Sleep)模式时，由于供给 RC 振荡器的电源，并没有关闭，WDT 依然在计数，当 WDT 溢出时，会将 MCU 唤醒且复位。

3.5.1 WDT看门狗寄存器说明

RPAGE~RF(中断标志寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDIF	WDTIF	PWM3IF	PWM2IF	PWM1IF	EXIF	P6ICIF	TCIF

Bit6:WDTIF-WDT 看门狗中断标志位

1:有中断

0:无中断

IOPAGE~IOCE(WDT使能及LVD控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WDTEN	EIS	LVREN	1	LVDSSEL<1>	LVDF	LVDSSEL<0>	LV DEN

Bit7:WDTEN-WDT 使能控制

1:使能

0:禁止（默认）

IOPAGF~IOCF(WDT唤醒及中断使能控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WDTWK	WDTIE	PWM3IE	PWM2IE	PWM1IE	EXIE	P6ICIE	TCIE

Bit7:WDTWK-WDT 唤醒使能控制

1:使能

0:禁止（默认）

Bit6:WDTIE-WDT 中断使能控制

1:使能

0:禁止（默认）

3.5.2 WDT看门狗设置说明

- 1、设定 IOCE 寄存器中 Bit7(WDTEN)位，选择是否使用 WDT；
- 2、设定预分频系数，即设定 CONT 寄存器的 Bit2~Bit0 位；
- 3、如果使能 WDT 唤醒，建议客户禁止其他唤醒。原因:WDT 唤醒和其他唤醒使能，当 WDT 功能的应用同时唤醒时，IC 会优先 reset，而不去执行其他唤醒后的程序，故如果使能 WDT 唤醒，建议客户其他唤醒禁止。



3.6 端口状态改变唤醒功能模块

3.6.1 睡眠唤醒方式说明

芯片执行“SLEEP”指令可以转到休眠模式（低功耗模式）。进入休眠模式时，系统时钟停止，所有模块停止工作，WDT（若使能）清0，但继续运行。

单片机可被如下情况唤醒：

- 1、RESET 脚输入低电平唤醒；
- 2、WDT 复位唤醒；
- 3、端口状态改变唤醒；
- 4、WDT 溢出唤醒；
- 5、LVD 低压检测唤醒；
- 6、外部引脚中断唤醒；

前两种唤醒使得系统进行了一次复位，因此，终止了睡眠前的执行的所有程序。

后四种唤醒方式则保持了程序的延续性，可以通过程序选择继续原有的进程（SLEEP 前执行 DISI）或执行相应的跳转（SLEEP 前执行 ENI），并打开相应的使能控制位，跳转到中断向量的位置。主要说明端口变化唤醒，其他唤醒方式在相应模块中会有说明。

3.6.2 端口状态改变唤醒寄存器说明

RPAGE~RD (P6 端口中断唤醒使能寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6WK<7>	P6WK<6>	P6WK<5>	P6WK<4>	P6WK<3>	P6WK<2>	P6WK<1>	P6WK<0>

Bit<7:0>:P6WK<7:0>-P6 端口中断唤醒使能

- 1:使能
- 0:禁止（默认）

RPAGE~RF (中断标志寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDIF	WDTIF	PWM3IF	PWM2IF	PWM1IF	EXIF	P6ICIF	TCIF

Bit1:P6ICIF-P6 端口输入状态改变中断标志位

- 1:有中断
- 0:无中断

IOPAGF~IOCF (WDT唤醒及中断使能控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WDTWK	WDTIE	PWM3IE	PWM2IE	PWM1IE	EXIE	P6ICIE	TCIE

Bit1:P6ICIE-P6 端口状态改变中断使能控制

- 1:使能
- 0:禁止（默认）



3.6.3 端口状态改变查询方式唤醒设置

- 1、PORT6 端口唤醒口设为输入；
- 2、可以根据需要选择唤醒口的内部上拉或下拉；
- 3、WDT 预分频的设置必须大于 1:1, 禁止 WDT；
- 4、使能 PORT 端口状态改变中断；
- 5、使能端口状态改变独立中断及唤醒控制；
- 6、执行 DISI 指令，不进入中断地址口；
- 7、读取 PORT 端口（如 MOV 0X06, 0X06）；
- 8、执行“SLEP”指令，进入睡眠 SLEEP 模式；
- 9、唤醒后，执行 SLEP 的下一条指令。

3.4.4 端口状态改变中断方式唤醒设置

- 1、PORT6 端口唤醒口设为输入；
- 2、可以根据需要选择唤醒口的内部上下拉；
- 3、WDT 预分频的设置必须大于 1:1, 禁止 WDT；
- 4、使能端口状态改变独立中断及唤醒控制；
- 5、使能 PORT 端口状态改变中断；
- 6、执行“ENI”指令，等待进入中断地址口；
- 7、读取 PORT 端口（如 MOV 0X06, 0X06）；
- 8、下指令“SLEP”，进入睡眠 SLEEP 模式；
- 9、唤醒后会进入中断地址口，退出中断后，执行 SLEP 下一条指令。



3.7 LVD电压检测功能模块

JZ8P1503S 具有低电压检测 (LVD) 功能，总共可编程选择四个电压值，当 CPU 的工作电压下降到设定值时，CPU 即置中断标志位而发生中断 (若使能 LVD 中断)，且 RPAGE~RF 寄存器的 Bit7 位被置 1。

3.7.1 LVD电压检测寄存器说明

RPAGE~RF (中断标志寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDIF	WDTIF	PWM3IF	PWM2IF	PWM1IF	EXIF	P6ICIF	TCIF

Bit7:LVDIF-LVD 低压检测中断标志位

1:有中断

0:无中断

RPAGE~R42 (LVD中断唤醒及端口运算控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDWK	LVDIE	P670E	P660E	P530E	P520E	P510E	P500E

Bit7:LVDWK-LVD 低压检测唤醒使能位

1:使能

0:禁止 (默认)

Bit6:LVDIE-LVD 低压检测中断使能位

1:使能

0:禁止 (默认)

IOPAGE~IOCE (WDT使能及LVD控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WDTEN	EIS	LVREN	1	LVDSSEL<1>	LVDF	LVDSSEL<0>	LVDEN

Bit5:LVREN-LVR 使能控制

1:使能

0:禁止 (默认)

Bit<3, 1>:LVDSSEL<1:0>-LVD 电压选择位

0 0: 电压检测点设置为 2.7V

0 1: 电压检测点设置为 3.9V

1 0: 电压检测点设置为 2.4V

1 1: 电压检测点设置为 3.6V

Bit<2>:LVDF-LVD 电压标志位

1:VDD 电压低于预设值

0:VDD 电压高于预设值

Bit<0>:LVDEN-LVD 使能控制位

1:使能

0:禁止

注:LVREN 只有在 OPTION 选择中 LVDR 作为 LVD 时才有效



3.7.2 LVD电压检测查询方式设置说明

- 1、设定 LVD 的电压值 (IOPAGE~IOCE 寄存器的 LVDSEL<1> 和 LVDSEL<0>位)；
- 2、使能 LVD 功能(IOPAGE~IOCE 寄存器 LVDEN 位)；
- 3、将 OPTION 中的电压检测选择 AS LVD；
- 4、用 IOR 指令读取 IOPAGE~IOCE 寄存器的值，并赋值到通用寄存器；
- 5、判断 通用寄存器中，IOPAGE~IOCE 寄存器的 LVD F 位，执行相应的动作。

3.7.3 LVD电压检测中断设置说明

- 1、设定 LVD 的电压值 (IOPAGE~IOCE 寄存器的 LVDSEL<1> 和 LVDSEL<0>位)；
- 2、使能 LVD 功能(IOPAGE~IOCE 寄存器 LVDEN 位)；
- 3、将 OPTION 中的电压检测选择 AS LVD；
- 4、使能 LVD 中断 (RPAGE~R42 寄存器的 LVDIE 位)，执行“ENI”指令；
- 5、在中查询 LVDIF 位为 1 后，再判断 IOPAGE~IOCE 寄存器 LVD F 位，执行相应的动作。

3.7.4 LVD电压检测唤醒设置说明

- 1、设定 LVD 的电压值 (IOPAGE~IOCE 寄存器的 LVDSEL<1> 和 LVDSEL<0>位)；
- 2、使能 LVD 功能(IOPAGE~IOCE 寄存器 LVDEN 位)；
- 3、将 OPTION 中的电压检测使能 (程序中看门狗要禁止掉)；
- 4、使能 LVD 唤醒 (RPAGE~R42 寄存器的 LVDWK 位)，执行“DISI”指令；
- 5、进入 SLEEP 睡眠；
- 6、当电源电压低于设定电压时，MCU 被唤醒，再判断 IOPAGE~IOCE 寄存器 LVD F 位，执行相应的动作。



3.8 PWM脉宽调制功能模块

JZ8P1503S 内置 3 个带预分频器的计数器，用来产生脉宽调制信号，其中 PWM1、PWM2 和 PWM3 都是 10Bit 精度。PWM 输出波形由周期及占空因数决定，传输速率为周期倒数。另外 JZ8P1503S 具有 PWM 互补输出，死区保护，倍频，级联功能。

3.8.1 PWM脉宽调制寄存器说明

RPAGE~R8 (PWM1 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1EN	PT1EN	PT1P<2:0>			IPWM1	PWM1CK	PWM1CS

Bit<7>:PWM1EN–PWM1 输出使能控制

- 1:使能
- 0:禁止

Bit<6>:PT1EN–PWM1 时钟分频器使能控制位

- 1:使能
- 0:禁止

Bit<5:3>:PT1P<2:0>–PWM1 时钟分频选项

PT1P<2>	PT1P<1>	PT1P<0>	分频比
0	0	0	1:2
0	0	1	1:4
0	1	0	1:8
0	1	1	1:16
1	0	0	1:32
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

Bit<2>:IPWM1–PWM1 互补输出使能控制位

- 1:使能
- 0:禁止

Bit<1>:PWM1CK–PWM1CK 时钟选择

- 1:选择 Fcpu 作为 PWM1 时钟
- 0:选择 Fosc 作为 PWM1 时钟

Bit<0>:PWM1CS–PWM 级联使能控制

- 1:使能 (PWM2 级联至 PWM1, PWM2 为高位, PWM1 为低位)
- 0:禁止

RPAGE~R9 (PWM1 周期占空高位寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	-	PDT1<9:8>			-	-	PCY1<9:8>

Bit<5:4>:PDT1<9:8>–PWM1 占空高两位数据

Bit<1:0>:PCY1<9:8>–PWM1 周期高两位数据

RPAGE~RA (PWM1 周期低位寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCY1<7:0>							

Bit<7:0>:PCY1<7:0>–PWM1 周期低八位数据



RPAGE~RB (PWM1 占空低位寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PDT1<7:0>							

Bit<7:0>:PDT1<7:0>-PWM1 占空低八位数据

RPAGE~RF (中断标志寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDIF	WDTIF	PWM3IF	PWM2IF	PWM1IF	EXIF	P6ICIF	TCIF

Bit<5>:PWM3IF-PWM3 周期中断标志位

1:有中断

0:无中断

Bit<4>:PWM2IF-PWM2 周期中断标志位

1:有中断

0:无中断

Bit<3>:PWM1IF-PWM1 周期中断标志位

1:有中断

0:无中断

RPAGE~R40 (PWM死区控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DEADEN<2:0>			DEADCK	DEADTMS<3:0>			

Bit<7:5>:DEADEN<2:0>-PWM 死区使能控制位

DEADEN<0> PWM1 死区使能控制位

DEADEN<1> PWM2 死区使能控制位

DEADEN<2> PWM3 死区使能控制位

0:禁止

1:使能

Bit<4>:DEADCK-PWM 死区时钟选择

1:选择 Fcpu 作为死区时钟

0:选择 Fosc 作为死区时钟

Bit<3:0>:DEADTMS-PWM 死区时间设置

DEADTMS<3>	DEADTMS<2>	DEADTMS<1>	DEADTMS<0>	PWM 死区时间
0	0	0	1	1*TDck
0	0	1	0	2*TDck
0	0	1	1	3*TDck
0	1	0	0	4*TDck
0	1	0	1	5*TDck
0	1	1	0	6*TDck
0	1	1	1	7*TDck
1	0	0	0	8*TDck
1	0	0	1	9*TDck
1	0	1	0	10*TDck
1	0	1	1	11*TDck
1	1	0	0	12*TDck
1	1	0	1	13*TDck
1	1	1	0	14*TDck
1	1	1	1	15*TDck



RPAGE~R41 (PWM极性及死区控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INVH<2:0>			INVL<2:0>			DIVCK<1:0>	

Bit<7:5>: INVH<2:0>-PWM 极性选择控制位

INVH<0> PWM1 极性选择控制位

INVH<1> PWM2 极性选择控制位

INVH<2> PWM3 极性选择控制位

0:Duty 高电平有效

1:Duty 低电平有效

Bit<4:2>: INVL<2:0>-IPWM 极性选择控制位

INVL<0> IPWM1 极性选择控制位

INVL<1> IPWM2 极性选择控制位

INVL<2> IPWM3 极性选择控制位

0:Duty 低电平有效

1:Duty 高电平有效

Bit<1:0>: DIVCK<1:0>-PWM 死区时钟分频选项

DIVCK<1>	DIVCK<0>	分频系数
0	0	1
0	1	1/4
1	0	1/16
1	1	1/64

RPAGE~R43 (IPWM输出及BUZ输出控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	IPWMOSEL<1:0>		0	BUZ3EN	BUZ2EN	BUZ1EN

Bit<7:6>: 只读, 保持为 0

Bit<5:4>: IPWMOSEL<1:0>-IPWM 输出通道选择

IPWMOSEL<1>	IPWMOSEL<0>	IPWM3	IPWM2	IPWM1	PWM3	PWM2	PWM1
0	0	P63	P64	P65	P60	P61	P62
0	1	P53	P66	P67	P60	P61	P62
1	0	P50	P51	P52	P60	P61	P62
1	1	-	-	-	P60	P61	P62

Bit<3>: 只读, 保持为 0

Bit<2>: BUZ3EN-BUZ3 蜂鸣器使能控制

1: 使能 PWM3 通道输出 BUZ 波形

0: 禁止

Bit<1>: BUZ2EN-BUZ2 蜂鸣器使能控制

1: 使能 PWM2 通道输出 BUZ 波形

0: 禁止

Bit<0>: BUZ1EN-BUZ1 蜂鸣器使能控制

1: 使能 PWM1 通道输出 BUZ 波形

0: 禁止



RPAGE~R44 (PWM倍频及P5 驱动增强控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DEADBEN	PWM3DBEN	PWM2DBEN	PWM1DBEN	P5HDR<3>	P5HDR<2>	P5HDR<1>	P5HDR<0>

Bit<7>:DEADBEN-死区时钟倍频控制位

- 0:使能 (死区调节时钟加倍)
- 1:禁止

Bit<6>:PWM3DBEN-PWM3 时钟倍频控制位

- 0:使能 (PWM3 时钟加倍)
- 1:禁止

Bit<5>:PWM2DBEN-PWM2 时钟倍频控制位

- 0:使能 (PWM2 时钟加倍)
- 1:禁止

Bit<4>:PWM1DBEN-PWM1 时钟倍频控制位

- 0:使能 (PWM1 时钟加倍)
- 1:禁止

RPAGE~R45 (PWM2 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM2EN	PT2EN	PT2P<2:0>			IPWM2	PWM2CK	PWM2CS

Bit<7>:PWM2EN-PWM2 输出使能控制

- 1:使能
- 0:禁止

Bit<6>:PT2EN-PWM2 时钟分频器使能控制位

- 1:使能
- 0:禁止

Bit<5:3>:PT2P<2:0>-PWM2 时钟分频选项

PT2P<2>	PT2P<1>	PT2P<0>	分频比
0	0	0	1:2
0	0	1	1:4
0	1	0	1:8
0	1	1	1:16
1	0	0	1:32
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

Bit<2>:IPWM2-PWM2 互补输出使能控制位

- 1:使能
- 0:禁止

Bit<1>:PWM2CK-PWM2CK 时钟选择

- 1:选择 Fcpu 作为 PWM2 时钟
- 0:选择 Fosc 作为 PWM2 时钟

Bit<0>:PWM2CS-PWM 级联使能控制

- 1:使能 (PWM3 级联至 PWM2, PWM3 为高位, PWM2 为低位)
- 0:禁止



RPAGE~R46 (PWM2-3 周期占空高位寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PDT3<9:8>		PDT2<9:8>		PCY3<9:8>		PCY2<9:8>	

Bit<7:6>:PDT3<9:8>-PWM3 占空比高两位数据

Bit<5:4>:PDT2<9:8>-PWM2 占空比高两位数据

Bit<3:2>:PCY3<9:8>-PWM3 周期高两位数据

Bit<1:0>:PCY2<9:8>-PWM2 周期高两位数据

RPAGE~R47 (PWM2 周期低位寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCY2<7:0>							

Bit<7:0>:PCY2<7:0>-PWM2 周期低八位数据

RPAGE~R48 (PWM2 占空低位寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PDT2<7:0>							

Bit<7:0>:PDT2<7:0>-PWM2 占空低八位数据

RPAGE~R49 (PWM3 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM3EN	PT3EN	PT3P<2:0>			IPWM3	PWM3CK	PWM3CS

Bit<7>:PWM3EN-PWM3 输出使能控制

1:使能

0:禁止

Bit<6>:PT3EN-PWM3 时钟分频器使能控制位

1:使能

0:禁止

Bit<5:3>:PT3P<2:0>-PWM3 时钟分频选项

PT3P<2>	PT3P<1>	PT3P<0>	分频比
0	0	0	1:2
0	0	1	1:4
0	1	0	1:8
0	1	1	1:16
1	0	0	1:32
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

Bit<2>:IPWM3-PWM3 互补输出使能控制位

1:使能

0:禁止

Bit<1>:PWM3CK-PWM3CK 时钟选择

1:选择 Fcpu 作为 PWM3 时钟

0:选择 Fosc 作为 PWM3 时钟

Bit<0>:PWM3CS-PWM 级联使能控制

1:使能 (PWM1 级联至 PWM3, PWM1 为高位, PWM3 为低位)

0:禁止



RPAGE~R4A (PWM3 周期低位寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCY3<7:0>							

Bit<7:0>:PCY3<7:0>-PWM3 周期低八位数据

RPAGE~R4B (PWM3 占空低位寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PDT3<7:0>							

Bit<7:0>:PDT3<7:0>-PWM3 占空低八位数据

IOPAGF~IOCF (WDT唤醒及中断使能控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WDTWK	WDTIE	PWM3IE	PWM2IE	PWM1IE	EXIE	P6ICIE	TCIE

Bit<5>:PWM3IE-PWM3 周期中断使能控制

1:使能

0:禁止 (默认)

Bit<4>:PWM2IE-PWM2 周期中断使能控制

1:使能

0:禁止 (默认)

Bit<3>:PWM1IE-PWM1 周期中断使能控制

1:使能

0:禁止 (默认)

3.8.2 PWM脉宽调制设置说明

- 1、设置 PWMCON 寄存器，选择相应的定时器为 PWM 模式、定时器的分频比、定时器中断类型（若使能 PWM 中断）、定时器的时钟源等；
- 2、写 PRDX 寄存器的值，确定该 PWM 通道的 Period；
- 3、写 DTX 寄存器的值，确定该 PWM 通道的 Duty；
- 4、使能相应定时器；
- 5、使能或禁止 PWM 对应的定时器中断，并下“ENI”或“DISI”指令（如果需要）。



3.9 端口逻辑运算功能模块

JZ8P1503S 具有端口逻辑运算功能模块，其中 P6 口可以作为逻辑运算输入口，P5 口和 P6 口都可以作为逻辑运算输出口。

3.9.1 端口逻辑运算寄存器说明

RPAGE~R42 (LVD中断唤醒及端口运算控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDWK	LVDIE	P670E	P660E	P530E	P520E	P510E	P500E

Bit<5>:P670E-P67 输出逻辑运算结果（同 P65 输出）控制位

1:使能

0:禁止

Bit<4>:P660E-P66 输出逻辑运算结果（同 P64 输出）控制位

1:使能

0:禁止

Bit<3>:P530E-P53 输出逻辑运算结果（同 P63 输出）控制位

1:使能

0:禁止

Bit<2>:P520E-P52 输出逻辑运算结果（同 P65 输出）控制位

1:使能

0:禁止

Bit<1>:P510E-P51 输出逻辑运算结果（同 P64 输出）控制位

1:使能

0:禁止

Bit<0>:P500E-P50 输出逻辑运算结果（同 P63 输出）控制位

1:使能

0:禁止

RPAGE~R4D (逻辑运算端口选择寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
POS3<2>	P650E	LOP2<2:0>			LOP1<2:0>		

Bit<7>:POS3<2>-逻辑运算操作类型选择位（配合 R4F 寄存器中 POS3<1:0>来操作）

Bit<6>:P650E-P65 输出逻辑运算结果控制位

1:使能

0:禁止

Bit<5:3>-LOP2<2:0>-逻辑运算端口 2 操作数选择

LOP2<2>	LOP2<1>	LOP2<0>	操作数
0	0	0	P60
0	0	1	P61
0	1	0	P62
0	1	1	P63
1	0	0	P64
1	0	1	P65
1	1	0	P66
1	1	1	P67



Bit<2:0>-LOP1<2:0>-逻辑运算端口 1 操作数选择

LOP1<2>	LOP1<1>	LOP1<0>	操作数
0	0	0	P60
0	0	1	P61
0	1	0	P62
0	1	1	P63
1	0	0	P64
1	0	1	P65
1	1	0	P66
1	1	1	P67

RPAGE~R4E (端口运算控制寄及操作类型寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P64OE	P63OE	P62OE	P61OE	P60OE	POS0<2:0>		

Bit<7>:P64OE-P64 输出逻辑运算结果控制位

1:使能

0:禁止

Bit<6>:P63OE-P63 输出逻辑运算结果控制位

1:使能

0:禁止

Bit<5>:P62OE-P62 输出逻辑运算结果控制位

1:使能

0:禁止

Bit<4>:P61OE-P61 输出逻辑运算结果控制位

1:使能

0:禁止

Bit<3>:P60OE-P60 输出逻辑运算结果控制位

1:使能

0:禁止

Bit<2:0>:POS0<2:0>-P60~P62 逻辑运算结果选择位

POS0<2>	POS0<1>	POS0<0>	操作类型
0	0	0	LOP1
0	0	1	~LOP1
0	1	0	LOP1&LOP2
0	1	1	LOP1 LOP2
1	0	0	LOP1⊕LOP2
1	0	1	LOP1⊙LOP2
1	1	0	~(LOP1&LOP2)
1	1	1	~(LOP1 LOP2)

RPAGE~R4F (端口运算操作类型寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
POS3<1:0>		POS2<2:0>			POS1<2:0>		



Bit<7:6>:POS3<1:0>-P65/P67/P52 逻辑运算结果选择位

POS3<2>	POS3<1>	POS3<0>	操作类型
0	0	0	LOP1
0	0	1	~LOP1
0	1	0	LOP1&LOP2
0	1	1	LOP1 LOP2
1	0	0	LOP1⊕LOP2
1	0	1	LOP1⊙LOP2
1	1	0	~P62
1	1	1	P62

Bit<5:3>:POS2<2:0>-P64/P66/P51 逻辑运算结果选择位

POS2<2>	POS2<1>	POS2<0>	操作类型
0	0	0	LOP1
0	0	1	~LOP1
0	1	0	LOP1&LOP2
0	1	1	LOP1 LOP2
1	0	0	LOP1⊕LOP2
1	0	1	LOP1⊙LOP2
1	1	0	~P61
1	1	1	P61

Bit<2:0>:POS1<2:0>-P63/P53/P50 逻辑运算结果选择位

POS1<2>	POS1<1>	POS1<0>	操作类型
0	0	0	LOP1
0	0	1	~LOP1
0	1	0	LOP1&LOP2
0	1	1	LOP1 LOP2
1	0	0	LOP1⊕LOP2
1	0	1	LOP1⊙LOP2
1	1	0	~P60
1	1	1	P60

3.9.2 端口逻辑运算设置说明

- 1、设置 P6 端口的某一个端口为逻辑运算输入口；
- 2、将逻辑运算端口设置为输入口；
- 3、选择 P5 或者 P6 端口的某一个端口为逻辑运算输出口；
(逻辑运算输入和输出不能为同一端口)
- 4、选择端口逻辑运算操作类型；
- 5、设置完成后，给入输入信号，查看输出信号；



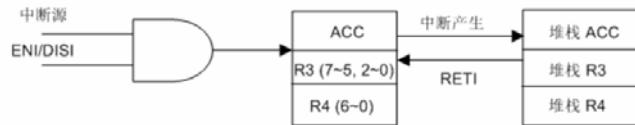
3.10 中断功能模块

JZ8P1503S 具有 8 个中断源，无论是使用其中哪一个中断，都必须使总中断使能，即下“ENI”指令。下面分别是每个中断的特性，中断地址及优先级：

	中断源	使能条件	中断标志	中断向量
外部	外部中断	ENI + EXIE = 1	EXIF	008H
外部	端口输入改变	ENI + P6ICIE = 1	P6ICIF	008H
内部	TCC 溢出中断	ENI + TCIE = 1	TCIF	008H
内部	PWM1 周期溢出中断	ENI + PWM1IE = 1	PWM1IF	008H
内部	PWM2 周期溢出中断	ENI + PWM2IE = 1	PWM2IF	008H
内部	PWM3 周期溢出中断	ENI + PWM3IE = 1	PWM3IF	008H
内部	WDT溢出中断	ENI + WDTIE = 1	WDTIF	008H
内部	低电压检测中断	ENI + LVDIE = 1	LVDIF	008H

RPAGE~RF 为中断状态标志寄存器，它们记录了当某个中断产生中断请求后的中断标志位。RPAGE~R42 和 IOPAGF~IOCF 为中断设置寄存器，中断的允许与禁止在这两个寄存器中设置，RPAGE~R42 为 LVD 的控制寄存器，LVD 的中断的允许与禁止通过这个寄存器设置。总中断的允许是通过下“ENI”指令，相反，总中断的禁止是通过下“DISI”指令。当一个中断产生时，它的下一条指令的执行将从它们特定的地址处执行。在离开中断服务程序之前相应的中断标志位必须清零，这样才能避免中断的误动作。

当执行中断子程序时，ACC、R3、R4 的内容需要手动保留起来，直到离开中断子程序后，需要手动将被保留的值载入 ACC、R3、R4，如此是为了避免在执行中断子程序时，有将 ACC、R3、R4 的值改变，导致回主程序时发生错误。如下图所示：



3.10.1 中断寄存器说明

RPAGE~RF (中断标志寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDIF	WDTIF	PWM3IF	PWM2IF	PWM1IF	EXIF	P6ICIF	TCIF

Bit<7>:LVDIF-LVD 低压检测中断标志位

1:有中断

0:无中断

Bit<6>:WDTIF-WDT 看门狗中断标志位

1:有中断

0:无中断

Bit<5>:PWM3IF-PWM3 周期中断标志位

1:有中断

0:无中断

Bit<4>:PWM2IF-PWM2 周期中断标志位

1:有中断

0:无中断

Bit<3>:PWM1IF-PWM2 周期中断标志位



1: 有中断

0: 无中断

Bit<2>: EXIF-外部端口中断标志位

1: 有中断

0: 无中断

Bit<1>: P6ICIF-P6 端口状态改变中断标志位

1: 有中断

0: 无中断

Bit<0>: TCIF-TCC 中断标志位

1: 有中断

0: 无中断

RPAGE~R42 (LVD中断唤醒及端口运算控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDWK	LVDIE	P670E	P660E	P530E	P520E	P510E	P500E

Bit<6>: LVDIE-LVD 低压检测中断使能位

1: 使能

0: 禁止

IOPAGF~IOCF (WDT唤醒及中断使能控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WDTWK	WDTIE	PWM3IE	PWM2IE	PWM1IE	EXIE	P6ICIE	TCIE

Bit<6>: WDTIE-WDT 中断使能控制

1: 使能

0: 禁止 (默认)

Bit<5>: PWM3IE-PWM3 周期中断使能控制

1: 使能

0: 禁止 (默认)

Bit<4>: PWM2IE-PWM2 周期中断使能控制

1: 使能

0: 禁止 (默认)

Bit<3>: PWM1IE-PWM1 周期中断使能控制

1: 使能

0: 禁止 (默认)

Bit<2>: EXIE-外部中断使能控制

1: 使能

0: 禁止 (默认)

Bit<1>: P6ICIE-P6 端口状态改变中断使能控制

1: 使能

0: 禁止 (默认)

Bit<0>: TCIE-TCC 溢出中断使能控制

1: 使能

0: 禁止 (默认)



3.11 复位功能模块

3.11.1 复位功能概述

JZ8P1503S 系统提供 3 种复位方式：

- 1、上电复位和低压复位；
- 2、RESET 脚输入低电平复位；
- 3、WDT 看门狗溢出复位；

第一种复位时间由 OPTION 中的复位时间选择决定，如下表所示：

上电复位建立时间：

SUT	复位建立时间
PWRT=WDT=18ms	上电复位时间= 18ms
PWRT=WDT=4.5ms	上电复位时间= 4.5ms
PWRT=WDT=72ms	上电复位时间= 72ms
PWRT=WDT=288ms	上电复位时间= 288ms
PWRT=140us WDT=18ms	上电复位时间=140us
PWRT=140us WDT=4.5ms	上电复位时间=140us
PWRT=140us WDT=72ms	上电复位时间=140us
PWRT=140us WDT=288ms	上电复位时间=140us

上述任一种复位发生时，所有的系统寄存器恢复默认状态，程序停止运行，同时程序计数器 PC 清零。复位结束后，系统从向量 0000H 处重新开始运行。

任何一种复位情况都需要一定的响应时间，系统提供完善的复位流程以保证复位动作的顺利进行。对于不同类型的振荡器，完成复位所需要的时间也不同。因此，VDD 的上升速度和不同晶振的起振时间都不固定。RC 振荡器的起振时间最短，晶体振荡器的起振时间则较长。在用户终端使用的过程中，应注意考虑主机对上电复位时间的要求。

3.11.2 上电复位

上电复位与 LVR 操作密切相关。系统上电的过程呈逐渐上升的曲线形式，需要一定时间才能达到正常电平值。

上电：系统检测到电源电压上升并等待其稳定；

外部复位（仅限于外部复位引脚使能状态）：系统检测外部复位引脚状态。如果不为高电平，系统保持复位状态直到外部复位引脚释放；

系统初始化：所有的系统寄存器被置为初始值；

振荡器开始工作：振荡器开始提供系统时钟；

执行程序：上电结束，程序开始运行。

3.11.3 WDT看门狗复位

看门狗复位是系统的一种保护设置。在正常状态下，由程序将看门狗定时器清零。若出错，系统处于未知状态，看门狗定时器溢出，此时系统复位。看门狗复位后，系统重启进入正常状态。

看门狗定时器状态：系统检测看门狗定时器是否溢出，若溢出，则系统复位；

系统初始化：所有的系统寄存器被置为默认状态；

振荡器开始工作：振荡器开始提供系统时钟；

执行程序：上电结束，程序开始运行。

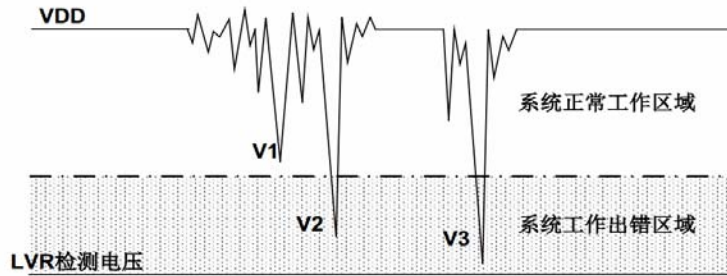


看门狗定时器应用注意事项:

- 1、对看门狗清零之前，检查 I/O 口的状态和 RAM 的内容可增强程序的可靠性；
- 2、不能在中断中对看门狗清零，否则无法检测到主程序跑飞的情况；
- 3、程序中应该只在主程序中有一次清看门狗的动作，这种架构能够最大限度的发挥看门狗的保护功能。

3.11.4 掉电复位

掉电复位针对外部因素引起的系统电压跌落情形（例如，干扰或外部负载的变化），掉电复位可能会引起系统工作状态不正常或程序执行错误。



电压跌落可能会进入系统死区。系统死区意味着电源不能满足系统的最小工作电压要求。上图是一个典型的掉电复位示意图。图中，VDD 受到严重的干扰，电压值降的非常低。虚线以上区域系统正常工作，在虚线以下的区域内，系统进入未知的工作状态，这个区域称作死区。当 VDD 跌至 V1 时，系统仍处于正常状态；当 VDD 跌至 V2 和 V3 时，系统进入死区，则容易导致出错。以下情况系统可能进入死区：

DC 运用中：

DC 运用中一般都采用电池供电，当电池电压过低或单片机驱动负载时，系统电压可能跌落并进入死区。这时，电源不会进一步下降到 LVD 检测电压，因此系统维持在死区。

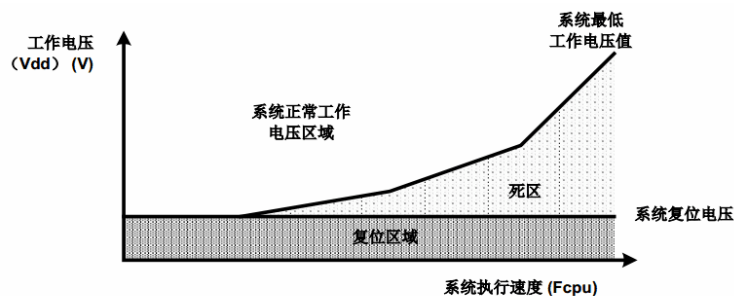
AC 运用中：

系统采用 AC 供电时，DC 电压值受 AC 电源中的噪声影响。当外部负载过高，如驱动马达时，负载动作产生的干扰也影响到 DC 电源。VDD 若由于受到干扰而跌落至最低工作电压以下时，则系统将有可能进入不稳定工作状态。

在 AC 运用中，系统上、下电时间都较长。其中，上电时序保护使得系统正常上电，但下电过程却和 DC 运用中情形类似，AC 电源关断后，VDD 电压在缓慢下降的过程中易进入死区。

3.11.5 工作频率与LVR低压检测关系

为了改善系统掉电复位的性能，首先必须明确系统具有的最低工作电压值。系统最低工作电压与系统执行速度有关，不同的执行速度下最低工作电压值也不同。



系统工作电压与执行速度关系图



如上图所示，系统正常工作电压区域一般高于系统复位电压，同时复位电压由低电压检测（LVR）电平决定。当系统执行速度提高时，系统最低工作电压也相应提高，但由于系统复位电压是固定的，因此在系统最低工作电压与系统复位电压之间就会出现一个电压区域，系统不能正常工作，也不会复位，这个区域即为死区。

为避免出现死区电压，再选择工作频率的时候，要选择相应的 LVR 复位电压点。如下表：

工作频率	LVR 复位电压点
IRC-16M	LVR=3.3V
IRC-8M	LVR=2.7V
IRC-4M	LVR=2.4V
IRC-2M	LVR=1.8V
IRC-1M	LVR=1.8V
IRC-455K	LVR=1.6V

注：此工作频率和 LVR 复位电压点的对应值，只是推荐值，用户在使用过程中，根据用于的具体应用场合可以适当的调整复位电压点。

3.11.6 寄存器上电复位值

地址	名称	复位值	地址	名称	复位值	地址	名称	复位值
0x0	R0	-	0x40	R40	0000 0000	0x0	-	-
0x1	R1(TCC)	0000 0000	0x41	R41	0000 0000	0x1	-	-
0x2	R2(PC)	0000 0000	0x42	R42	0000 0000	0x2	CONT	1011 1111
0x3	R3(STATUS)	0001 tuuu	0x43	R43	0000 0000	0x3	-	-
0x4	RSR	Uuuu uuuu	0x44	R44	1111 1111	0x4	-	-
0x5	PORT5	0000 1111	0x45	PWMCR2	0000 0000	0x5	IOC5	0000 0000
0x6	PORT6	1111 1111	0x46	PDCPRDH23	0000 0000	0x6	IOC6	0000 0000
0x7	查表寄存器	0000 0000	0x47	PRDL2	0000 0000	0x7	-	-
0x8	PWMCR	0000 0000	0x48	PDCL2	0000 0000	0x8	-	-
0x9	PDCPRDH	0000 0000	0x49	PWMCR3	0000 0000	0x9	PHDCR	1111 1111
0xa	PRDL	0000 0000	0x4a	PRDL3	0000 0000	0xa	-	-
0xb	PDCL	0000 0000	0x4b	PDCL3	0000 0000	0xb	PDCR	1111 1111
0xc	查表寄存器	0000 0000	0x4c	R4C	1111 1111	0xc	ODCR	0000 0000
0xd	iciecr	0000 0000	0x4d	R4D	0000 0000	0xd	PHCR	1111 1111
0xe	查表数据高位寄存器	0000 0000	0x4e	R4E	0000 0000	0xe	WDTCR	1011 1000
0xf	中断标志寄存器	0000 0000	0x4f	R4F	0000 0000	0xf	IMR	0000 0000
0x10~0x3f	通用寄存器	Uuuu uuuu						

U=表示未知状态；



3.12 系统时钟功能模块

JZ8P1503S 内部集成了 4 种振荡器，可以通过 option 实现配置。具体参看下表：

振荡器类型	说明
ERC（外接电阻振荡器）	
IRC（内置RC振荡器）	P64:GPIO; P65:GPIO
LXT（低速晶振）	
HXT（高速晶振）	

说明:HXT 和 LXT 之间的系统频率过度点在 400kHz 左右。

3.12.1 内部RC振荡器模式（IRC）

JZ8P1503S 提供内部 RC 模式，频率默认值为 4MHz。

内部 RC 振荡模式还有其它频率值如 16MHz, 8MHz, 4MHz, 2MHz, 1MHz, 455KHz。通过设置 OPTION 的配置位，可选择 IRC 工作频率，下面是它们的对应关系：

Firc	IRC频率
16 M	IRC频率选为16MHz
8 M	IRC频率选为8MHz
4 M	IRC频率选为4MHz
2 M	IRC频率选为2MHz
1 M	IRC频率选为1MHz
455 K	IRC频率选为455KHz

IRC 频率可以通过烧录器进行自动校正，理论校正精度 $\pm 1\%$ 。

IRC频漂 (T=25°C, VDD=5V \pm 5%, GND=0V)				
IRC	漂移率			
	温度(-40°C~+85°C)	电压(1.8V~5.5V)	制程	Total
16MHz	$\pm 5\%$	$\pm 5\%$	$\pm 1\%$	$\pm 11\%$
2MHz	$\pm 5\%$	$\pm 5\%$	$\pm 1\%$	$\pm 11\%$
4MHz	$\pm 5\%$	$\pm 5\%$	$\pm 1\%$	$\pm 11\%$
8MHz	$\pm 5\%$	$\pm 5\%$	$\pm 1\%$	$\pm 11\%$
1MHz	$\pm 5\%$	$\pm 5\%$	$\pm 1\%$	$\pm 11\%$
455kHz	$\pm 5\%$	$\pm 5\%$	$\pm 1\%$	$\pm 11\%$

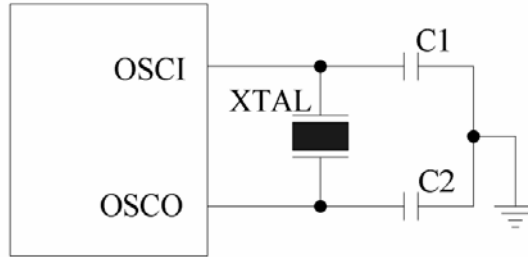
JZ8P1503S 提供了多种分频选择，可以在 OPTION 中选择，适用于更多的场合。如下表：

Clocks	Clocks 分频
2clock	分频为 2clock
4clock	分频为 4clock
8clock	分频为 8clock
16clock	分频为 16clock



3. 12. 2 外部晶体振荡器/陶瓷谐振器 (XT)

在大多数应用中，引脚 OSC0 和 OSC1 上可接晶体或陶瓷谐振器来产生振荡，电路图如下，不论是 HXT 还是 LXT 模式都适用，表中为 C1、C2 的推荐值。由于各个谐振器特性不同，用户应参参照其规格选择 C1、C2 的合适值。



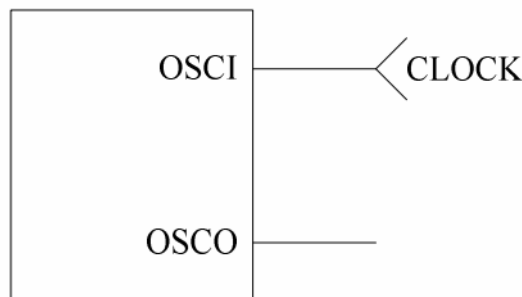
晶体/振荡器电路

晶体振荡器或陶瓷振荡器的电容选择参考：

振荡器模式	频率模式	频率	C1 (pF)	C2 (pF)
陶瓷振荡器	HXT	455KHz	150-200	150-200
晶体振荡器	LXT	32.768 KHz	15-25	15-25
	HXT	2 MHz	15	15
		4 MHz	15	15

注：以上数据仅供参考，一切以实物测试为准。

JZ8P1503S 还可被 OSC1 引脚上的外部时钟信号驱动，其应用图如下：



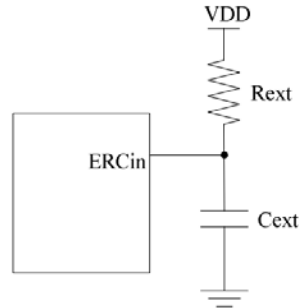
外部时钟示意图

3. 12. 3 外部RC振荡器模式 (ERC)

在一些对时钟精度要求不高的场合应用中，使用 RC 振荡器可以节省部分费用，尽管如此，还是应该注意到，RC 振荡器的频率与电压，电阻值(Rext)，电容值(Cext)，甚至工作温度均有关，并且各芯片之间由于生产工艺差别，频率也会发生细微变化。

RC 振荡器的电阻值越小，频率越高。另一方面，对于很小的电阻值，例如 1K 欧姆，由于 NMOS 不能正确将电容放电，振荡器将变得不稳定，为了获得稳定的系统频率，电容值不能小于 20pF，电阻值不能大于 1M 欧。如果它们不在该范围之内，频率将很容易受噪声、湿度及漏电的影响。

电源电压、工作温度、RC 振荡器部件、封装形式及 PCB 布线方式都会影响系统频率。



外部 RC 振荡器模式电路

RC 振荡器频率参考表如下所示，仅供参考：（以下数据为仿真数据，仅供设计参考）

Rext	Cext	频率
5.1K	100p	427.2KHz
	200p	254.4KHz
	300p	189.4KHz

3.12.4 时钟模块应用说明

内部振荡器是最常用的振荡模式，该模式可以省去外接的电路；

在使用外打时钟输入时，时钟信号要从 OSC1 输入，OSC0 可以悬空；

使用外部振荡器并且大于 400kHz 时一定要在烧写程序时的 OPTION 选项中选外部高速振荡器，小于 400kHz 时选外部低速振荡器；

外界条件不同，各振荡模式的时钟频率可能会有轻微差别，使用时应根据需要合理选择。



4 CODE OPTION寄存器

CODE OPTION	选项	功能描述
IRC 校准	HIGH	IRC频率在VDD=5V下校准
	LOW	IRC频率在VDD=3V下校准
查表范围	1/4K	可以在程序空间前 1/4K 查表
	1K	可以在程序空间 1K 内查表
复位端口上拉	使能	使能P63 端口上拉
	禁止	禁止 P63 端口上拉
看门狗	使能	看门狗 WDT使能
	禁止	看门狗 WDT禁止（默认）
P63 端口	GPIO	P63 作为一般 I/O 口
	GPI	P63 作为一般 I 口
	RST	P63 作为外部复位端口
P64 端口	GPIO	P64作为一般I/O口
	OSCO	P64作为系统机器时钟输出口
代码加密	使能	烧录模式数据加密
	禁止	烧录模式数据不加密
端口特性	EMT	端口输入特性为施密特 EMT 特性（详细介绍见 3.3）
	SMT	端口输入特性为施密特 SMT 特性（详细介绍见 3.3）
	HSMT	端口输入特性为施密特 HSMT 特性（详细介绍见 3.3）
	INV	端口输入特性为反相器 INV 特性（详细介绍见 3.3）
Clocks 分频	2clock	指令周期选择2clock
	4clock	指令周期选择4clock（默认）
	8clock	指令周期选择8clock
	16clock	指令周期选择16clock
复位电压	禁止	禁止低压复位
	LVR=1.2V	低压复位点选择1.2V
	LVR=1.6V	低压复位点选择1.6V
	LVR=1.8V	低压复位点选择1.8V（默认）
	LVR=2.4V	低压复位点选择2.4V



	LVR=2.7V	低压复位点选择2.7V
	LVR=3.3V	低压复位点选择3.3V
	LVR=3.7V	低压复位点选择3.7V
低速 HLP	高功耗模式	低速模式下 (<500K), 高功耗模式选择
	低功耗模式	低速模式下 (<500K), 低功耗模式选择
低压检测	AS LVD	作为低压检测 (LVD) 使用
	LVR=2.4V	低压复位点选择2.4V
	LVR=2.7V	低压复位点选择2.7V
	LVR=3.6V	低压复位点选择3.6V
	LVR=3.9V	低压复位点选择3.9V
PWM 时钟源	Fcpu	选项 MCU 指令周期作为 PWM 时钟源
	Fosc	选项 MCU 机器周期作为 PWM 时钟源
IRC 频率	4M	IRC频率选择4M (默认)
	16M	IRC频率选择16M
	8M	IRC频率选择8M
	2M	IRC频率选择2M
	1M	IRC频率选择1M
	455K	IRC频率选择455K
复位时间	PWRT=WDT=4.5ms	唤醒建立时间=WDT溢出时间 (不分频) = 4.5ms
	PWRT=WDT=18ms	唤醒建立时间=WDT溢出时间 (不分频) = 18ms
	PWRT=WDT=72ms	唤醒建立时间=WDT溢出时间 (不分频) = 72ms
	PWRT=WDT=288ms	唤醒建立时间=WDT溢出时间 (不分频) = 288ms
	PWRT=140us, WDT=4.5ms	唤醒建立时间=140us, WDT溢出时间 (不分频) =4.5ms
	PWRT=140us, WDT=18ms	唤醒建立时间=140us, WDT溢出时间 (不分频) =18ms
	PWRT=140us, WDT=72ms	唤醒建立时间=140us, WDT溢出时间 (不分频) =72ms
	PWRT=140us, WDT=288ms	唤醒建立时间=140us, WDT溢出时间 (不分频) =288ms
振荡方式	IRC 模式	选择内部 RC 振荡方式
	ERC 模式	选择外部 RC 振荡方式
	LXT 模式	选择低速 XT 振荡方式
	HXT 模式	选择高速 XT 振荡方式



5 芯片电气特性

5.1 芯片极限参数

工作温度(°C):	(√) E:-40-85;
存储温度(°C):	(√) -65~+150;
极限电压(V)	(√) 其它 <u>-0.3~6;</u>
极限输入电压 (V)	(√) 其它 <u>GND-0.3~VDD+0.5;</u>
极限输出电压 (V)	(√) 其它 <u>GND-0.3~VDD+0.5;</u>

5.2 芯片直流参数

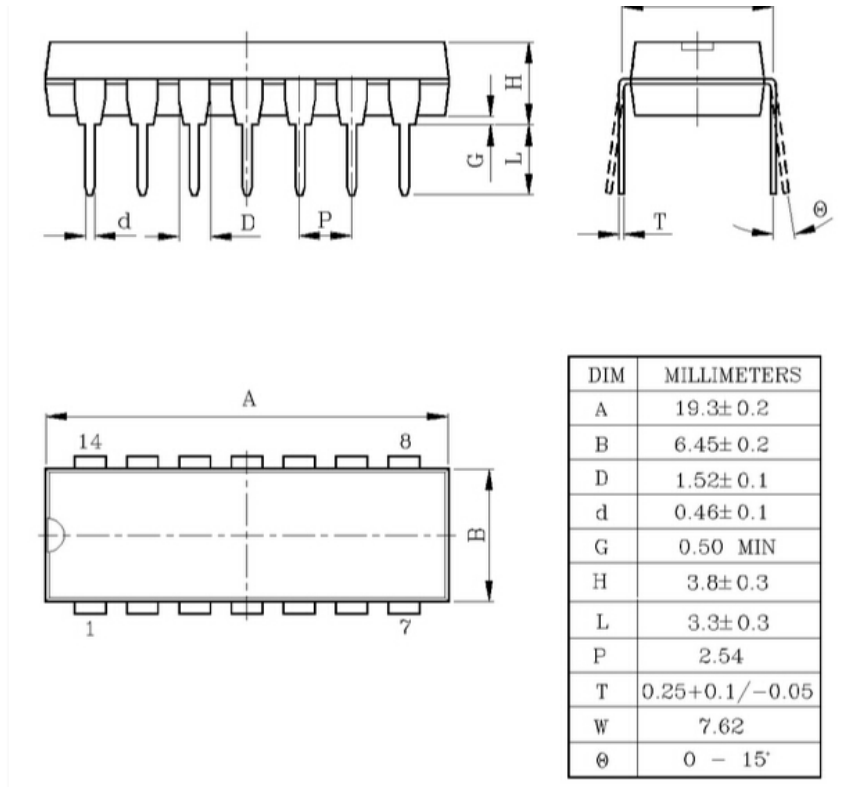
(T=25°C, VDD=5±5%V, GND=0V)

符号	参数说明	条件	最小	典型	最大	单位
IRC1	IRC1 (校正后)	OPTION 选择 4MHz	-	4	-	MHz
IRC2	IRC2 (校正后)	OPTION 选择 16MHz	-	16	-	MHz
IRC3	IRC3 (校正后)	OPTION 选择 8MHz	-	8	-	MHz
IRC4	IRC4 (校正后)	OPTION 选择 1MHz	-	1	-	MHz
IRC5	IRC5 (校正后)	OPTION 选择 2MHz	-	2	-	MHz
IRC6	IRC6 (校正后)	OPTION 选择 455KHz	-	455	-	KHz
IOH1	输出高电平驱动 (除 P63)	Ioh=4.4V	-	4.5	-	mA
IOH2	输出高电平驱动增强 (除 P63)	Ioh=4.4V	-	12	-	mA
IOL1	I0 输出低电平驱动	Iol=0.6V	-	18	-	mA
IOL2	I0 输出低电平驱动增强	Iol=0.6V	-	28	-	mA
IPH	上拉电流	上拉使能, 输入接地	70	100	150	μA
IPD	下拉电流	下拉使能, 输入接 VDD	40	60	100	μA
I _{sb1}	关机电流 1	所有输入接 VDD, 输出悬空, WDT、LVD 禁用	-	-	1	μA
I _{sb2}	关机电流 2	所有输入接 VDD, 输出悬空, WDT 使能, LVD 禁用	-	-	10	μA
I _{sb3}	关机电流 3	所有输入接 VDD, 输出悬空, LVD 使能, WDT 禁用	-	-	10	μA
I _{op2}	工作电流 1 (VDD=5V)	IRC=4MHz 2clock	-	-	1	mA
I _{op2}	工作电流 2 (VDD=5V)	IRC=16MHz 2clock	-	-	3.5	mA
I _{op2}	工作电流 3 (VDD=5V)	IRC=8MHz 2clock	-	-	1.8	mA
I _{op2}	工作电流 4 (VDD=5V)	IRC=2MHz 2clock	-	-	0.6	mA
I _{op2}	工作电流 5 (VDD=5V)	IRC=1MHz 2clock	-	-	0.3	mA
I _{op2}	工作电流 6 (VDD=5V)	IRC=455KHz 2clock	-	-	0.2	mA
LVR	低电压复位电压	选择 LVR 复位点	V _{lvr} -0.2	V _{lvr}	V _{lvr} +0.2	V
LVD	低压检测电压	选择检测点为 V _{lvd}	V _{lvd} -0.2	V _{lvd}	V _{lvd} +0.2	V

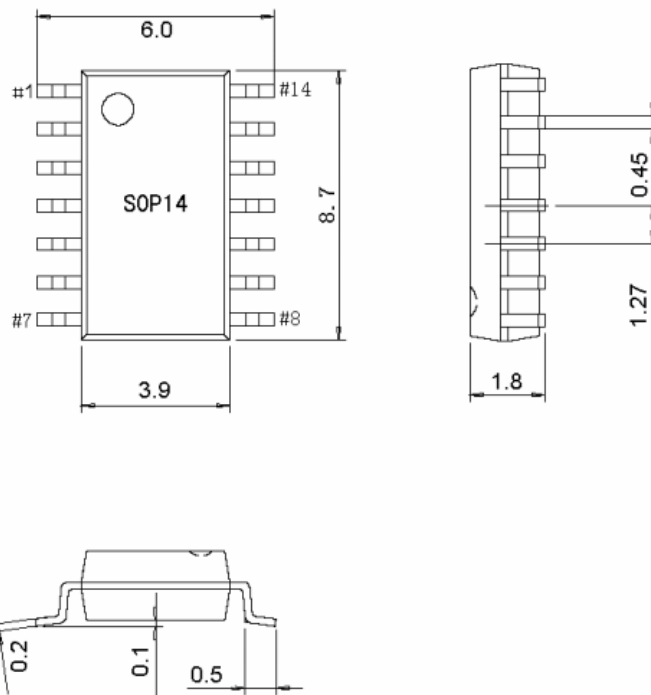


6 封装尺寸信息

6.1 14PIN封装尺寸



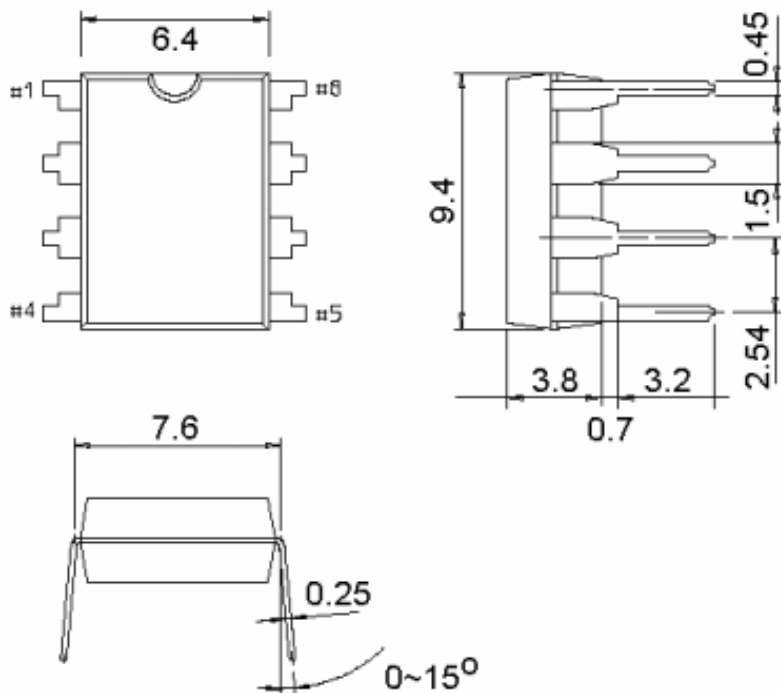
DIP14 封装尺寸



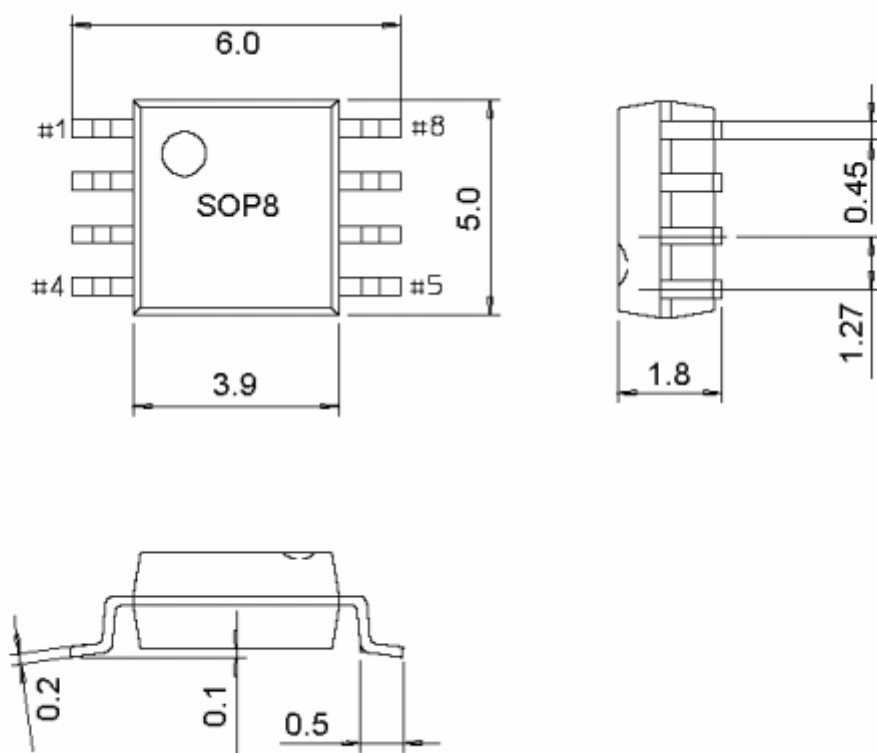
SOP14 封装尺寸



6.2 8PIN封装尺寸



DIP8 封装尺寸



SOP8 封装尺寸